

明細書

半導体記憶装置

5 技術分野

本発明はランダムアクセスメモリに関し、特にメモリセルからビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリに関する。

10 背景技術

特開平 11-306762 号（以下「文献」と呼ぶ）には図 23 に示すような、個々のビット線 BL/BLB にカラムセンスアンプ CSA を設けて、グローバルビット線 GBL/GBLB に接続する SRAM メモリアレーが記載されている。この構成においてはブロック対応センスアンプ活性化信号 S と、Y アドレス信号 YB により選択的にカラムセンスアンプを活性化することが可能であり、消費電力が低減できる。

本願発明者等は、本願に先立って DRAM のビット線の電位を差動型でゲート受けの増幅器である、いわゆるダイレクトセンスアンプで検出する場合の制御方法について検討した。先に示した文献のアンプ制御方法を DRAM のダイレクトセンスアンプに用いると以下のような点について配慮すべきことに気が付いた。第一に、ビット線がゲートに接続されており差動対として働くサイズの大きい MOS トランジスタ MN20、MN21 が直接グローバルビット線（DRAM ではダイレクトセンスアンプの出力が接続されるローカル IO 線に相当）に接続されているため、グローバルビット線（ローカル IO 線）の負荷容量が大きくなる。20 DRAM ではローカル IO 線には通常 32 から 128 個程度の多数のダイレクトセンスアンプが接続される。また、ローカル IO 線さらにその先のメイン IO 線の距離が長く負荷が大きいこと、及び、しきい値オフセットを小さくするために差動対となる MOS トランジスタのゲート長が長いことから MN20、MN21 のゲート幅は例えば $4 \mu m$ 以上にする必要がある。従って、図 23 の CSA のように、30 非選択のダイレクトセンスアンプの差動対が全て見える構成ではローカル IO 線の負荷容量が大きくなり、高速動作が困難である。

第二に DRAM のビット線プリチャージレベルは電源電圧または電源電圧を降圧したレベル VDL の半分の $VDL/2$ である。したがって、BL 上に負の信号が発生し、BL のレベルが $VDL/2$ よりも下がった場合には MN21 がカットオフし

てローカル IO 線から MN21 のチャネル容量が見えないが、BL 上に正の信号が発生し、BL のレベルが VDL/2 よりも上がった場合には MN21 が導通してチャネル容量が見えるため、ローカル IO 線の容量がビット線上のデータパターンにより大きく変化してしまう。すなわち動作条件により、動作速度が大きく変化するということになり、製造後のテストが複雑になるという問題がある。

したがって、本発明が解決しようとする第一の課題は DRAM、SRAM 等のランダムアクセスメモリにおいてダイレクトセンスアンプを選択的に活性化可能な構成とし、そのときにローカル IO 線の負荷容量を低減して、さらにそのデータパターン依存性を低減することである。また、本発明の第二の課題は高速動作を行う際のダイレクトセンスアンプにおけるノイズを低減し、動作マージンを拡大することである。また、本発明の第三の課題はチップサイズを増加させずに、一つのメモリアレーから読み出されるビット数を倍増させることである。

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

15

発明の開示

本願発明の代表的構成を示せば以下の通りである。

すなわち、第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される第 1 および第 2 のビット線と、上記ワード線と上記ビット線対とに接続されるメモリセルと、上記メモリセルから読み出される情報を增幅する增幅回路と、上記增幅回路より読み出された情報を受ける第 1 及び第 2 の I O 線と、上記增幅回路を制御するソース線とをそれぞれ有する第 1 及び第 2 の領域と、上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選択線とを具備する半導体記憶装置において、上記增幅回路は、第 1 乃至第 4 の MOS トランジスタを具備し、上記第 1 の MOS トランジスタのゲートは、上記第 1 のビット線と接続され、上記第 2 の MOS トランジスタのゲートは、上記第 2 のビット線に接続され、上記第 1 及び第 2 の MOS トランジスタのソースは、上記ソース線に接続され、上記第 3 の MOS トランジスタのドレインは、上記第 1 の I O 線に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 2 の I O 線に接続され、上記增幅回路にそれぞれ含まれる上記第 3 及び第 4 の MOS トランジスタのゲートは、上記列選択線に共通に接続され、上記第 1 の MOS トランジスタのドレインは、上記第 3 の MOS トランジスタのソースと接続され、上記第 2 の MOS トランジスタのドレインは、上記第 4 の MOS トランジスタのソースと接続され、第 1 の状態において、上記

第1の領域に含まれる第1及び第2のIO線の電位は、上記第1の領域に含まれるソース線の電位よりも高く、上記第2の領域に含まれる第1及び第2のIO線とソース線は同電位であることを特徴とするようにする。

5 図面の簡単な説明

図1は本発明のメモリアレーとセンスアンプである。

図2は本発明の半導体記憶装置のチップ構成、およびメモリーブロックの構成である。

図3はメモリアレーのレイアウトおよびその断面図である。

10 図4はサブワードドライバ及びサブワードドライバアレーの回路図である。

図5はクロスエリアの回路図である。

図6はメインアンプの回路図である。

図7はリード時のデータパスのブロック図である。

図8はリード時の動作波形である。

15 図9はリード時の動作波形の続きである。

図10はライト時のデータパスのブロック図である。

図11はライト時の動作波形である。

図12はライト時の動作波形の続きである。

図13は第二のセンスアンプの回路図である。

20 図14は第三のセンスアンプの回路図である。

図15は第四のセンスアンプの回路図である。

図16は第三のセンスアンプの動作波形である。

図17は第二のメインアンプの回路図である。

図18は第三のメインアンプの回路図である。

25 図19は第四のメインアンプの回路図である。

図20は本発明の第二のローカルIOの接続法である。

図21は本発明の第二のデータパス構成である。

図22は第二のデータパスにおけるリード時の動作波形である。

30 図23は従来のSRAMにおけるカラムセンスアンプ方式のブロック図である。

発明を実施するための最良の形態

本発明を詳細に説明するために、添付の図面に従ってこれを説明する。なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付

け、その繰り返しの説明は省略する。

(実施例 1)

図 1 に本発明のメモリアレー ARY とセンスアンプ SA を示す。本センスアンプの機能を説明するために図 2(a)に本発明の半導体記憶装置のチップ構成を示す。チップ CHIP 全体は制御回路 CNTL、入出力回路 DQC、メモリーブロック BLK に大きく分けられる。制御回路にはクロック、アドレス、制御信号がチップ外から入力され、チップの動作モードの決定やアドレスのプリデコードが行われる。入出力回路は入出力バッファを備え、チップ外部からライトデータが入力され、チップ外部へリードデータを出力する。

メモリーブロック BLK の構成を図 2(b)に示す。メモリーブロックには複数のアレー上に配置されたメモリアレー ARY が配置され、その周囲にはセンスアンプ列 SAA、サブワードドライバ列 SWDA、クロスエリア XP が配置される。またブロックの外周ではセンスアンプ列と平行に列デコーダ YDEC、メインアンプ列 MAA が配置され、サブワードドライバ列と平行に行デコーダ XDEC、アレー制御回路 ACC が配置される。

図 1 は 2 個のメモリアレーとその間のセンスアンプ列を示したものである。本発明のセンスアンプ SA はトランスマニアゲート TGC、プリチャージ回路 PCC、リストア用アンプ CC、書き込み回路 WP、増幅回路、すなわちダイレクトセンスアンプ DSA からなる。トランスマニアゲートはセンスアンプ分離信号 SHR が活性化された時にセンスアンプとメモリアレー間を接続する回路である。プリチャージ回路はプリチャージ信号 PC が活性化されたときに対となるビット線間をイコライズレビット線プリチャージレベルにプリチャージする。ビット線プリチャージレベルは通常ビット線振幅 VDL(チップ外部からの電源電圧 VCC と同レベルかまたはそれを降圧したレベル)の中点 VDL/2 に設定される。上記のツインセル方式を用いた場合、参照電圧発生用のダミーセルを用いなくても、プリチャージレベルをビット線の高レベル VDL や低レベル VSS に設定することもできる。しかし、後述するダイレクトセンスアンプはビット線のレベルが VDL/2 付近のとき伝達コンダクタンスが高くなるので、高速動作のためにはビット線プリチャージレベルを VDL/2 とすることが望ましい。リストア用アンプはビット線上にメモリセルからの微小な読出し信号が発生した後に、P 側共通ソース線 CSP を VDL に駆動し、N 側共通ソース線 CSN を VSS に駆動して、ビット線 BL と BLB のうち電圧の高い方を VDL に、電圧の低い方を VSS に増幅する回路である。

書き込み回路 WP はライト用列選択線 WYS が活性化されたときにライト用

ローカル IO 線 WLIO/WLIOB とビット線対を接続する回路である。WLIO は非選択センスアンプ列での電流消費を防止するために、待機時には VBLR にプリチャージされている。ダイレクトセンスアンプ DSA はビット線上に生じた微小信号によってリード用ローカル IO 線 RLIO/RLIOB を駆動し、信号を伝える回路である。待機時には RLIO は IO 線プリチャージレベル VPC にプリチャージされている。ダイレクトセンスアンプ共通ソース線 DSAS は待機時に IO 線プリチャージレベル VPC にプリチャージされており、読み出し動作の際には VSS に駆動される。

本センスアンプにおいてはリード用列選択線 RYS が活性化されたときに、選択センスアンプ列において DSAS を VSS に駆動し、非選択センスアンプ列では DSAS を VPC に保持しておくことにより、選択センスアンプのみを活性化することができ、非選択センスアンプ列では電流を消費しないという利点がある。また本アンプでは、ビット線がゲートに接続される差動対として働くサイズの大きい（例えばゲート幅 $4\mu\text{m}$ ）MOS トランジスタ MN0、MN1 と RLIO 線の間に RYS で制御されるサイズの小さい（例えばゲート幅 $1\mu\text{m}$ ）MOS トランジスタ MN2、MN3 を入れて分離している。したがって、RYS が VSS である非選択のダイレクトセンスアンプにおいては、差動対のチャネル容量が RLIO 線から見えないため、RLIO 線の寄生容量を低減することができ、ビット線上のデータパターンによって寄生容量が変化することも防ぐことができる。

メモリアレーは複数のメモリセル MC からなる。本例ではメモリセルを 2 個の DRAM セルからなるツインセル構成としている。DRAM セルは 1 個の MOS トランジスタおよび 1 個のキャパシタで構成され、MOS トランジスタの一方のソース又はドレインがビット線に接続され、他方のソース又はドレインが蓄積ノード SN に接続され、ゲートがワード線に接続されている。キャパシタの一方の端子は蓄積ノード SN に接続され、キャパシタの他方の端子は他のセルと共通にプレート電極 PL に接続される。ツインセルは 2 個の DRAM セルを共通のワード線および対となるビット線に接続して、それぞれのセルの蓄積ノードに相補データを書き込んで情報を記憶する。以下ではツインセルを用いて本発明を説明するが、本発明のセンスアンプはメモリセルとして 1 個の DRAM セルを用いた場合においても適応可能である。このようにツインセルを用いると DRAM セルを 1 個だけ用いた場合と比較して、ビット線の信号量がほぼ 2 倍となる。図 1 のようなダイレクトセンスアンプを用いた場合は、メモリセルから発生した信号をリストア用アンプで増幅することなくダイレクトセンスアンプで電流差に変換してローカル IO 線に読み出すことができるため、ビット線上の

信号量が大きいほどローカル IO 線に読み出される信号量が大きくなる。したがってダイレクトセンスアンプとツインセル方式との組合せにより、さらなる高速化が可能になる。

図 3(a)にメモリアレーのレイアウト、(b)にその A-A'における断面図を示す。

5 DRAM セルは基板 PW 中に形成された N チャネル MOS トランジスタとビット線 BL の上部に設けられたスタックキャパシタを有している。MOS トランジスタの活性領域を ACT、ワード線を WL、N 型拡散層領域を N で示している。活性領域は絶縁物 SiO₂ によって分離される。拡散層の上部にコンタクト CB を配置し、その上部にビット線コンタクト BC または蓄積ノードコンタクト SC を配置する。ビット線コンタクトの上部にはビット線 BL をワード線と直交する方向に配置する。蓄積ノードコンタクトの上には凹型の蓄積ノード SN を配置する。蓄積ノードの内側にはプレート電極 PL が埋め込まれており、これらが容量絶縁膜 CI を挟んでキャパシタを構成する。本メモリアレーは全てのビット線とワード線の交点に DRAM セルが接続される開放型メモリアレーであり、ワード線を 15 2F(F:最小加工寸法)、ビット線ピッチを 3F まで縮小可能である。本例ではツインセル方式のメモリセルするために 2 個の DRAM セルを一つのメモリセルとして利用するが、MCa のように隣接した 2 個の DRAM セルが対になる場合と、MCb のように離れた 2 個の DRAM セルが対になる場合がある。このような 1 交点セルを 2 個用いてツインセルを構成するとセルサイズは 12F² 乗となり、2 交点セルを 2 個用いる場合よりも面積を低減することができる。また、通常の 1 交点セルと異なり、対となるビット線を同じアレー上に配置できるので、1 交点セルで問題となるセンス時のノイズが発生しない利点がある。

20

図 4 にサブワードドライバ SWD 及びこれを複数配置して構成されるサブワードドライバアレー SWDA の回路図を示す。サブワードドライバは N チャネル MOS トランジスタ 2 個と P チャネル MOS トランジスタ 1 個で構成される。一方の N チャネル MOS トランジスタはゲートにメインワード線 MWLB が接続され、ドレインにワード線 WL が接続され、ソースに接地電位 VSS が接続される。他方の N チャネル MOS トランジスタはゲートに相補ワードドライバ選択線 FXB、ドレインにワード線 WL が接続され、ソースに接地電位 VSS が接続される。P チャネル MOS トランジスタはゲートにメインワード線 MWLB が接続され、ドレインにワード線 WL が接続され、ソースにワードドライバ選択線 FX が接続される。図のように一つの SWDA 上に 4 組の FX が配線され、一本の MWLB で選択される 4 個の SWD のうちいずれか 1 個を選択して 1 本の WL が活性化される。またサブワードドライバ列上部または隣接した領域にメイン

IO 線対 MIO/MIOB が配線される。

図 5 にクロスエリア XP の回路図を示す。クロスエリアは SHR 信号ドライバ SHD、RLIO 線プリチャージ回路 RPC、リードゲート RGC、DSAS 線ドライバ DSAD、WLIO 線プリチャージ回路 WPC、ライトゲート WGC、CS 線ドライバ CSD、CS 線プリチャージ回路 SPC、PC 信号ドライバ PCD、FX 線ドライバ FXD からなる。SHR 信号ドライバにはセンスアンプ分離信号 SHR の相補信号 SHRB が入力され、SHR を出力する。RLIO 線プリチャージ回路はリードイネーブル信号 RE が非活性状態の VSS レベルのときに RLIO 線を VPC にプリチャージする。リードゲートは RE が活性状態の VCL (外部 VCC レベルと同じかまたはそれを降圧したレベルで周辺回路用電源電圧として用いられる) のときに RLIO 線とメイン IO 線 MIO/MIOB とを接続する回路である。このときに VPC を VCL/2 とするとリードゲートを NMOS だけで構成しても、NMOS のオン電流を大きくとることができるために、CMOS 構成とする場合よりも MIO の負荷を小さくできて MIO 線上の信号を増加することが可能である。また、VPC

が VCL/2 でもダイレクトセンスアンプに使われる NMOS のしきい値を下げれば、動作に支障はない。DSAS 線ドライバは RE が非活性状態のときには DSAS を VPC にプリチャージし、活性化されたときに VSS に駆動する回路である。このように DSAS 線ドライバをクロスエリアに配置することによりマット単位で DSAS 線を活性化できるため、選択マットでのみダイレクトセンスアンプを活性化することができ、消費電力の低減が可能になる。また、図 2 においてアレー制御回路 ACC 部分に集中的に DSAS 線ドライバを配置した場合と比較すると、ドライバが分散配置されている効果で DSAS 線上の電位の遠近端差が小さくなり、ダイレクトセンスアンプの場所によるセンス速度のばらつきを低減できる利点がある。

WLIO 線プリチャージ回路はライトイネーブル信号 WE が非活性状態の VSS レベルのときに WLIO 線を VDL/2 にプリチャージする。ライトゲートは WE が活性状態の VCL レベルのときに WLIO 線とメイン IO 線 MIO/MIOB とを接続する回路である。本回路は CMOS 構成とすると、MIO 線から WLIO 線へライトするさいに VCL レベルと VSS レベルを振幅の減少なしで出力することができる。CS 線ドライバはセンスアンプイネーブル信号 SE が活性状態のときに、P 側共通ソース線 CSP を VDL (ビット線の H レベル) に駆動し、N 側共通ソース線 CSN を VSS に駆動する回路である。CS 線プリチャージ回路 SPC はプリチャージ信号 PC が活性化されたときに CSP、CSN を VDL/2 にプリチャージする回路である。PC 信号ドライバにはプリチャージ信号 PC の相補信号

PCB が入力され、PC を出力する。FX 線ドライバには FX 線の相補信号 FXB が入力され、FX を出力する。

図 6 にメインアンプ回路 MA を示す。メインアンプは MIO プリチャージ回路 IPC、負荷回路 LD、トランスファーゲート TGC、MA プリチャージ回路 APC、

5 ラッチ回路 LTC、GIO バッファ GB、ライトバッファ WB からなる。MIO プリ
チャージ回路は MIO プリチャージ信号 IP が活性化されたときに MIO 線を VPC
にプリチャージする。負荷回路はトランスファーゲート制御信号 TG が活性化
され、その相補信号 TGB が VSS になったときに MIO 線において負荷として機
能する。トランスファーゲートは TG が活性化されたときに導通し、MIO とラ
10 ッチ回路とを接続する。メインアンププリチャージ回路はメインアンププリチ
ャージ信号 AP が活性化されたときにメインアンプ内を VPC にプリチャージす
る。ラッチ回路はラッチ信号 LT が活性化されたときに MIO から入力した小振
幅の信号をフル振幅(VCL、すなわち電源電位、または VSS)まで増幅し保持す
る回路である。GIO バッファは GIO バッファイネーブル信号 GBE が活性化さ
15 れたときに、ラッチ回路で保持したデータをリード用グローバル IO 線 GIOR に
出力する回路である。ライトバッファ WB はライトバッファイネーブル信号
WBE が活性化されたときに、ライト用グローバル IO 線 GIOW 上のデータを
MIO/MIOB に出力する回路である。

図 7 にリード動作を示すために、図 1 の一部である 2 個のメモリアレー
20 ARY0,1 と 3 個のセンスアンプ列 SAA0-2 に注目してブロック図を示す。本図で
はリード用列選択線 RYS を全てのセンスアンプ列で 1 個のダイレクトセンスア
ンプ DSA と接続しているが、RYS を複数のダイレクトセンスアンプと接続して
もよい。この場合、その分だけリード用 LIO 対を増やす必要がある。また、2
25 対の MIO0/MIOB0 と MIO1/MIOB1 を交互にクロスエリアでリードゲート回路
と接続している。したがってワード線 WL0 と RYS0 を活性化した場合、センス
アンプ列 SAA0 及び SAA1 にデータが読み出され、これらのデータはそれぞれ
RLIO0/RLIOB0 および RLIO1/RLIOB1 を介して MIO0/MIOB0 と
MIO1/MIOB1 に読み出される。

図 8 の動作波形を用いてリード動作を示す。チップ外部からリードコマンド
30 RD が入力されるとアドレスで指定されたセンスアンプ列 SAA0,1においてセン
スアンプ分離信号 SHR とプリチャージ信号 PC が非活性化される。さらにリー
ドイネーブル信号 RE が活性化されダイレクトセンスアンプ共通ソース線
DSAS0,1 が VSS に駆動される。ここで、列デコーダより RYS0 が活性化され
るとセンスアンプ列 SAA0、SAA1 ではダイレクトセンスアンプが起動される。

このとき、非選択センスアンプ列 SAA2においては RLIO2/RLIOB2 と DSAS2 が VPC で同電位であるため、貫通電流が流れない。他の選択されていないセンスアンプも同様に貫通電流が流れなく、消費電流が軽減される。なお、ここでいう同電位とは、RLIO2/RLIOB2 と DSAS2 の電位差が、それらの線が接続されているダイレクトセンスアンプが起動されない程度になっているということである。また、RI02/RI02B と DSAS をともにビット線電位 VDL/2 から DSAS に使用されている NMOS のしきい値電圧を引いた値以上の電圧にすることによっても消費電流を低減することができる。図 1 のブロック図からあきらかに RYS は多くのセンスアンプ列と接続しているので、本回路方式は動作電流の低減のために有効である。また、選択されているセンスアンプ列に接続されている RLIO/RIOB と共通ソース線 DSAS の電位差の絶対値を、非選択センスアンプ列に接続されている RLIO/RIOB と共通ソース線 DSAS の電位差の絶対値よりも大きくすることも貫通電流の低下を防ぐことも可能である。このように、選択されていないセンスアンプとビット線とを接続するトランジスタのソース・ドレイン間を流れる電流を、選択されているセンスアンプとビット線とを接続するトランジスタのソース・ドレイン間を流れる電流よりも少なくすることによっても同様の効果を得ることができる。

行デコーダにおいてメインワード線 MWLB が VSS に下がり、アレー制御回路 ACCにおいて FX が活性化されると、選択されたワード線 WL0 が VPP に活性化される。ワード線 WL によって選択されたメモリセルにおいてはセルトランジスタが導通し、ビット線 BL 上に信号が読み出される。ここで、メモリセルをツインセル構成としているため、BL/BLB の一方はビット線のプリチャージレベルよりも高くなり、他方は低くなる。ビット線上的信号を受けてダイレクトセンスアンプが RLIO/RLIOB を駆動し、RLIO/RLIOB に電圧差が現れる。RE によりクロスエリアにおいてリードゲートが導通状態になっているため、この信号が MIO/MIOB に伝えられる。また、本実施例では RYS0 が活性化され DSAS0,1 が VSS に駆動された後にワード線 WL を活性化しているが、RYS0 及び DSAS0,1 を駆動する前に WL を立ち上げることも可能である。これにより通常のセンスアンプより動作マージンを低減することができる。

この後の動作を図 9 で説明する。RE が活性化されるのとほぼ同時にトランスマニアゲート制御信号 TG が活性化されるため、MIO 上の信号はメインアンプ内でラッチに入力される。ラッチの入力端で十分に信号が大きくなつたタイミングで TG が非活性化され、ラッチ信号 LT が活性化されて、データが確定および保持される。その後、GIO バッファイネーブル信号 GBE が活性化されてリー

ド用グローバル IO 線 GIOR を介してデータが出力回路 DQC に送られ、DQ にデータが出力される。ラッチにおけるデータの確定が終わると、読出しに用いられた RLIO 線対、MIO 線対、DSAS 線においてプリチャージが開始される。

このようなダイレクトセンスアンプ以降のデータの読出しと同時にメモリアレーでは再書き込み動作が行われる。図 8 に示すように P 側共通ソース線 CSP が VDL に駆動され、N 側共通ソース線 CSN を VSS に駆動されると、センスアンプ内のリストア用アンプ CC がビット線を VDL または VSS へと増幅する。メモリセルに十分にデータが書き込まれるタイミングでワード線が VSS へと非活性化される。センスアンプ列では PC、SHR が活性化され、ビット線、コモンソース線のプリチャージされてリードサイクルが終了する。したがって、ダイレクトセンスアンプを用いると、データの読出しと、メモリアレーの再書き込み動作を平行して行うことができるため、ダイレクトセンスアンプをワード線が活性化するよりも早く起動してデータの読出しを高速化しながら、リストア用アンプをワード線が活性化してビット線上にメモリセルからの信号が十分発生してから起動して信頼性の高い再書き込み動作を行うことができる。

図 10 にライト動作を示すために、図 1 の一部である 2 個のメモリアレー ARY0,1 と 3 個のセンスアンプ列 SAA0-2 に注目してブロック図を示す。本図ではライト用列選択線 WYS を全てのセンスアンプ列で 1 個の書き込み回路 WP と接続しているが、WYS を複数の書き込み回路と接続してもよい。この場合、20 その分だけライト用 LIO 対を増やす必要がある。また、2 対の MIO0/MIOB0 と MIO1/MIOB1 交互にクロスエリアでライトゲート回路と接続している。したがってワード線 WL0 と WYS0 を活性化する場合、MIO0/MIOB0 と MIO1/MIOB1 上のデータはそれぞれ WLIO0/WLIOB0 および WLIO1/WLIOB1 を介してセンスアンプ列 SAA0 及び SAA1 内の書き込み回路からメモリアレー 25 のデータ線およびメモリセルに書き込まれる。

図 11 の動作波形を用いてライト動作を示す。チップ外部からライトコマンド WT が入力されると DQ からライトデータがとり込まれライト用グローバル IO 線 GIOW に出力される。MIO プリチャージ信号 IP が非活性化され、ライトバッファイネーブル WBE が活性化されると、MIO 線に書き込みデータが出力される。

この後のアレー動作を図 12 で説明する。チップ外部からライトコマンド WT が入力されるとアドレスで指定されたセンスアンプ列 SAA0,1 においてセンスアンプ分離信号 SHR とプリチャージ信号 PC が非活性化される。さらにライトイネーブル信号 WE が活性化されてクロスエリアにおいてライトゲートが導通

し、MIO/MIOB からと WLIO/WLIOB へ書き込みデータが書き込まれる。列デコードより WYS0 が活性化されるとメモリアレーのビット線への書き込みが開始される。このとき、非選択センスアンプ列 SAA2 においては WLIO2/WLIOB2 が VDL/2 のままなので、これらがビット線と接続されても、ビット線と同電位であるため電流は流れない。これは他の非選択センスアンプ列でも同様である。
5 図1のブロック図から明らかなように WYS は多くのセンスアンプ列と接続しているので、本回路方式は動作電流の低減のために有効である。

行デコードにおいてメインワード線 MWLB が VSS に下がり、アレー制御回路 ACC において FX が活性化されると、選択されたワード線 WL0 が VPP に活性化される。ワード線 WL によって選択されたメモリセルにおいてはセルトランジスタが導通し、ビット線からメモリセルへデータが書き込まれる。さらに、P 側共通ソース線 CSP が VDL に駆動され、N 側共通ソース線 CSN を VSS に駆動されると、センスアンプ内のリストア用アンプ CC がビット線を VDL または VSS へと增幅する。メモリアレーへのデータ書き込みが終了すると、WE が非活性化され、WLIO と MIO が切断され、WLIO と MIO がプリチャージされる。メモリセルに十分にデータが書き込まれるタイミングでワード線が VSS へと非活性化される。センスアンプ列では PC、SHR が活性化されてビット線、コモンソース線のプリチャージされてライトサイクルが終了する。
10
15

図 13 に第二のセンスアンプ SA 回路を示す。本センスアンプでは 2 個の SA で一組のダイレクトセンスアンプ DSA と書き込み回路 WP を共用する。このために、マルチプレクサ MUX 等の選択手段を追加し、S0、S1 のどちらを選択するかによって、2 個の SA のどちらを RLIO/RLIOB または WLIO/WLIOB に接続するかを選択する。トランスファーゲート TGC、プリチャージ回路 PCC、リストア用アンプ CC、書き込み回路 WP、ダイレクトセンスアンプ DSA の回路およびその動作は図 1 で示したものと同様である。本センスアンプでは、図 1 のセンスアンプと同じ効果に加えて、センスアンプ 2 個分の領域でダイレクトセンスアンプ DSA を配置することが可能なので、ダイレクトセンスアンプ DSA 内の MOS トランジスタのサイズを大きくでき、RLIO/RLIOB および MIO/MIOB に読み出される信号量を増加できる。このようにセンスアンプ内にマルチプレクサを追加するとビット線の負荷容量が増加するため、ビット線の信号量が減少してしまう。しかし、本発明では図に示すようにツインセルを用いているため、ビット線の信号量が通常の DRAM セル 1 個を用いた場合の約 2 倍に大きくなっているため、マルチプレクサを追加したことによるビット線信号量減少の影響が小さいという利点がある。
20
25
30

図 14 に第三のセンスアンプ SA 回路を示す。本センスアンプでは選択線 YS をリードとライトで兼用している。このために書き込み回路 WP の中に列選択線で制御される MOS トランジスタと直列にライトイネーブル信号 WE で制御される MOS トランジスタを接続する。リード動作時には WE を非活性化する
5 ので、列選択線 YS が活性化されてもセンスアンプと WLIO/WLIOB が接続されない。トランスファーゲート TGC、プリチャージ回路 PCC、リストア用アンプ CC、ダイレクトセンスアンプ DSA の回路およびその動作は図 1 で示したものと同様である。本センスアンプでは図 1 のセンスアンプと同じ効果に加えて、列選択線の本数を図 1 のセンスアンプに比較して半分にできるため、配線ピッチ
10 を広げてプロセスを容易化したり、電源配線数を増加してセンスアンプ動作を高速化することが可能になる。

図 15 に第四のセンスアンプ SA 回路を示す。本センスアンプでは図 14 のセンスアンプにおいて、ダイレクトセンスアンプ DSA 内の列選択線 YS で制御される MOS トランジスタ MN2、MN3 とビット線がゲートに接続される MOS トランジスタ MN0、MN1 の接続点 N0、N1 間にイコライズ MOS トランジスタ MN4 を接続する。この MOS トランジスタはプリチャージ信号 PC が活性化されたときに導通し、N0、N1 間をショートする。MN4 を設けていない図 14 のセンスアンプの動作波形を図 16 に示す。リード動作時に YS が非選択であるセンスアンプに注目すると、DSAS が VSS に駆動されているときは N0、N1 は VSS である。ビット線 BL、BLB が VDL、VSS に増幅された状態で、DSAS を VPC に復帰させると、MN0 はオン、MN1 はオフしているため、N0 は VPC になるが、N1 は VSS のままとなる。ビット線のプリチャージを行うと、N0 は VPC のままであるが、N1 は MN0 のゲートが VDL/2 なので、VDL/2-VT までしかあがらない。ここで VT は MN1 のしきい値電圧である。したがってビット
20 線がプリチャージされた状態で N0、N1 に電位差が生じてしまう。次の読み出しサイクルで DSAS が VSS に駆動されると、N0、N1 は再び VSS まで電位が下降するが、その際に MN0、MN1 を介してビット線へ戻るカップリング電圧が BL と BLB とでアンバランスになり、センスアンプに対してノイズとなる。イコライズ MOS トランジスタ MN4 を追加した図 15 のセンスアンプではプリチャージ時の N0、N1 間の電位差をなくすことができるため、動作時のノイズを
25 低減でき、安定した回路動作を実現できる。

また、図 15 のセンスアンプでは書き込み回路 WP の中で、列選択線 YS で制御される MOS トランジスタ MN7、MN8 とライトイネーブル信号 WE で制御される MOS トランジスタ MN5、MN6 との接続点 N2、N3 間にイコライズ

MOS トランジスタ MN9 を接続する。この MOS トランジスタはプリチャージ信号 PC が活性化されたときに導通し、N2、N3 間をショートする。MN9 を設けない図 14 のセンスアンプの場合、ライト動作時にビット線 BL、BLB が VDL、VSS に増幅された状態で WE を VSS に復帰させると、N2、N3 は VDL、VSS のまま残される。これらのノードに蓄積された電荷はビット線のプリチャージ時にも保持されるため、次のライトサイクルで WE が活性化されたときに、BL、BLB に対して流出し、正負のノイズを発生させる。したがって、イコライズ MOS トランジスタ MN9 を追加することにより動作時のノイズを低減でき、安定した回路動作を実現できる。ここで、図 14 のセンスアンプの場合には、WE をプリチャージ時には活性化しておき、リード動作のときだけ非活性化すれば、MN9 を接続しなくても良い。ただし、この場合ワード線が活性化されるよりも早く WE を非活性化しないと YS が選択されたビット線ではメモリセルからの読み出し信号が MN5-8 を介して LIO まで流出してしまう。したがって、図 15 のセンスアンプにおいてプリチャージ時に WE を非活性化しておき、ライト動作のときだけ活性化すると動作時のタイミングマージンが緩和される。

なお、図 15 ではダイレクトセンスアンプ DSA に接続される列選択線と書き込み回路 WP に接続される列選択線が共通の場合を示したが、これらが分離されても同様の効果がある。このような場合でも、ライト動作時に WYS および DSAS で選択されたセンスアンプのうち一部のセンスアンプでライトを止めるライトマスク動作を行うためには MN5、MN6 が必要になり、上記のような問題を解決するために MN9 を設けることが有効である。

図 17 に第二のメインアンプ回路 MA を示す。本メインアンプは MIO プリチャージ回路 IPC、負荷回路 LD、MA プリチャージ回路 APC、ラッチ回路 LTC、GIO バッファ GB、ライトバッファ WB からなる。MIO プリチャージ回路は MIO プリチャージ信号 IP が活性化されたときに MIO 線を VPC にプリチャージする。負荷回路はリードイネーブル RE が活性化され、REB が VSS になったときに MIO 線において負荷として機能する。メインアンププリチャージ回路は相補メインアンププリチャージ信号 APB が VSS になったときにラッチの出力ノードを VCL (電源電位) にプリチャージする。ラッチ回路はラッチ信号 LT が活性化されたときに MIO から入力した小振幅の信号をフル振幅(VCL または VSS)まで増幅し保持する回路である。本メインアンプのラッチ回路は図 6 のメインアンプ内のラッチ回路と異なりゲート入力アンプとクロスカップルを用いている。したがって MIO 線から見た入力容量が小さくなり、メインアンプの入力信号を大きく取れ、動作速度が速いという利点がある。一方、MIO レベルが

下がり過ぎると MIO がゲートに入力している MOS トランジスタのコンダクタンスが低下し、動作速度が遅くなる問題があるため、動作マージンの点では図 6 の第一のメインアンプが有利である。GIO バッファおよびライトバッファ WB の構成は図 6 のメインアンプと同様である。

5 図 18 に第三のメインアンプ回路 MA を示す。本メインアンプでは図 6 の第一のメインアンプ回路において負荷回路 LD とトランスマーゲート TGC の位置のみを入れ替えており、他の回路は全く同じである。このようにメイン IO に対して N 型 MOS トランジスタのトランスマーゲートの内側に負荷回路を設けると、これらがゲート接地アンプとして作用する。従って MIO0/MIOB0 における信号差が増幅されてラッチの入力 LN、LNB に伝えられる。したがってラッチ回路の入力信号が大きくなり、ラッチの動作速度向上、および動作マージン拡大という利点がある。

10 図 19 に第四のメインアンプ回路 MA を示す。本メインアンプでは図 18 の第三のメインアンプ回路におけるゲート接地アンプ GA を図 17 のラッチ回路 LTC とを組合せたものである。それに加えて LTC と GA の間にソースフォロア回路 SF を設けてインピーダンス変換を行っている。本回路では、ゲート接地アンプにより入力信号をプリアンプ可能であるとともに、ラッチ型アンプの入力容量が小さいため、信号量を大きくとることができ、高速でマージンの広い動作が可能であるという利点がある。さらにソースフォロア回路を設けることにより、20 ラッチアンプ起動時にラッチアンプの差動 MOS トランジスタから入力端子に加わるカップリングノイズを低減することができる。また、本メインアンプではラッチアンプ LTC の入出力が分離されているため、ラッチアンプの出力ノードを VCL にプリチャージすることが可能である。したがって、GIO バッファ内の NMOS のゲートは VSS でカットオフ状態になるので、LT が入力されてラッチがデータを確定する前に GBE を入力して GIO バッファを活性化しておけば、25 ラッチのタイミングだけで GIO バッファを駆動できるため、アクセスの高速化が可能である。

(実施例 2)

30 図 20 に本発明の第二のローカル IO の接続法を示す。本接続法を用いると一つのセンスアンプ SA においてダイレクトセンスアンプ DSA と書き込み回路 WP が異なるローカル IO 線に接続されている場合に、2 組の LIO 線対を用いて、一つのセンスアンプ列からリード時・ライト時ともに 2 ビットのデータを読み出すことができる。

このために一つのセンスアンプ列 SAA の中央でセンスアンプをグループ a とグループ b に分割する。グループ a においては書き込み回路 WP を一方のローカル IO 線対 LIO0/LIO0B に接続し、ダイレクトセンスアンプ DSA を他方のローカル IO 線対 LIO1/LIOB1 に接続する。グループ b においては逆に、書き込み回路 WP をローカル IO 線対 LIO1/LIO1B に接続し、ダイレクトセンスアンプ DSA を他方のローカル IO 線対 LIO1/LIOB1 に接続する。

リード時にはグループ a、b からそれぞれ一本ずつ RYS を活性化すると、グループ a のセンスアンプからのデータは LIO1、LIOB1 に読み出され、グループ b のセンスアンプからのデータは LIO0、LIOB0 に読み出される。ライト時にはグループ a、b からそれぞれ一本ずつ WYS を活性化すると、グループ a のセンスアンプには LIO0、LIOB0 を用いてデータを書き込むことができ、グループ b のセンスアンプには LIO1、LIOB1 を用いてデータを書き込むことができる。これに対して、図 7において複数の RYS を活性化すると、複数のセンスアンプから読み出されたデータが同一 LIO 上で衝突してしまう。また、図 10において複数の WYS を活性化すると、同一のデータが複数のセンスアンプに書き込まれてしまう。したがって、図 20 に示す本発明のローカル IO の接続法によれば、LIO 線の配線本数を増やすずに、一つのセンスアンプ列から読み出しまたは書き込み可能なビット数を 2 倍に増加することができる。

20 (実施例 3)

図 21 に本発明の第二のデータパス構成を示す。本発明のデータパスにおいてはローカル IO 線とメイン IO 線の接続部にオフセット補償サブアンプを配置することにより、ダイレクトセンスアンプ自体にはオフセット補償を持たせずに、ダイレクトセンスアンプのオフセットを補償することができる。メモリアレイ ARY、センスアンプ SA は図 1 に示すものと同じであるが、その一部だけを取り出して示している。本発明で異なるのはクロスエリア XP にサブアンプ BA を備えることである。クロスエリアのその他の回路は図 5 と同様なので図 21 では省略している。

図 22 の動作波形を用いて本発明のデータパスの動作を示す。リードコマンド RD が入力されるとプリチャージ信号 PC が VSS に非活性化される。これとほぼ同時にリードイネーブル信号 RE が VCL に、REB が VSS に活性化され、サブアンプ BA が起動される。さらに、DSAS が VPC から VSS へと駆動され、ダイレクトセンスアンプ DSA が活性化される。このときに DSA の入力であるビット線はまだ VDL/2 にプリチャージされたままであるので、リード用列選択

線 RYS が活性化されるとリード用ローカル IO 線 RLIO/RLIOB にはダイレクトセンスアンプのオフセットに相当する信号が発生する。この時点では補償信号 CP が VCL であり、LIO とデカップリング容量で接続されたサブアンプの入力端子 GT、GB は出力端子とショートされ、オフセット補償電位に固定されている。
5 サブアンプ自体のオフセットはこの時点で補償される。

続いて、CP を VSS に非活性化し、サブアンプを増幅可能な状態にした後、ワード線 WL を活性化し、ビット線 BL/BLB 間にメモリセルからの信号を発生させる。ダイレクトセンスアンプはこれを増幅して RLIO、RLIOB に信号を出力するが、このとき GT、GB にはデカップリングコンデンサを介して信号が発生するため、オフセット補償電位に RLIO、RLIOB の変化分が加わった電圧が発生する。したがって CP が VSS に落とされた瞬間の RLIO、RLIOB 間の電位差を基準とした信号が発生するので、ダイレクトセンスアンプのオフセット分を取り除いた正味の RLIO 信号が得られる。したがって、ダイレクトセンスアンプのオフセットが補償されることになる。サブアンプは GT、GB の電位差を増幅し MIO、MIOB に出力する。
10
15

このようにオフセット補償を行うためには、デカップリング容量とパストラジスタが必要になるが、これを個々のダイレクトセンスアンプに設けるとセンスアンプの面積が非常に大きくなってしまう。本発明のデータパス構成を用いると、チップサイズを小さく保ちながら読み出し時の動作マージンを拡大する
20 ことができる。

以上に述べた本発明は DRAM、SRAM 等の高速なランダムアクセスメモリ、特にメモリセルからビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリで利用可能である。しかしながら、FLASH、FERAM、MRAM 等の不揮発メモリにおいても、読み出しを高速化するために本発明を利用可能である。また、マイクロプロセッサや DSP 等のロジックチップに内蔵されるオンチップメモリでは、クロック周波数の向上に伴ったアクセス時間の高速化が要求されるため、単体メモリよりも速度向上の要求が強く、本発明を適用することが有効である。
25

以上、本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。
30

本発明によって得られる主な効果は以下の通りである。

第一にランダムアクセスメモリにおいてダイレクトセンスアンプが選択的に

活性化可能となるため、読み出し動作時の消費電力を大幅に低減できる。また、そのときにローカル IO 線の負荷容量を低減できるため、読み出し速度が高速化可能である。また読み出し動作におけるローカル IO 線の負荷容量のデータパターン依存性が低減され、製造後の試験が容易になる。

5 第二に高速動作を行う際のダイレクトセンスアンプにおけるノイズが低減され、動作マージンを拡大することである。第三にチップサイズを増加させずに、一つのメモリアレーから読み出されるビット数を倍増させることが可能になる。

産業上の利用可能性

10 本発明は DRAM, SRAM 等の高速なランダムアクセスメモリ、特にメモリセルからビット線に読み出された信号をゲート入力アンプで高速に周辺回路へ伝送するメモリで利用可能である。また、FLASH、FERAM、MRAM 等の不揮発メモリにおいても、読み出しを高速化するために本発明を利用可能である。また、メモリ単体チップだけでなく、マイクロプロセッサや DSP 等のロジックチップ
15 に内蔵されるオンチップメモリにも適用可能である。

請求の範囲

1. 第1方向に延伸されるワード線と、上記第1方向と交差する第2方向に延伸される第1および第2のビット線と、上記ワード線と上記第1および第2のビット線とに接続されるメモリセルと、上記メモリセルから読み出される情報を増幅する增幅回路と、上記增幅回路より読み出された情報を受ける第1及び第2のIO線と、上記增幅回路を制御するソース線とをそれぞれ有する第1及び第2の領域と、

5 上記第1及び第2の領域に共通して接続され、上記第2方向に延伸される列選択線とを具備する半導体記憶装置において、

10 上記増幅回路は、第1乃至第4のMOSトランジスタを具備し、

上記第1のMOSトランジスタのゲートは、上記第1のビット線と接続され、上記第2のMOSトランジスタのゲートは、上記第2のビット線に接続され、上記第1及び第2のMOSトランジスタのソースは、上記ソース線に接続され、

15 上記第3のMOSトランジスタのドレインは、上記第1のIO線に接続され、上記第4のMOSトランジスタのドレインは、上記第2のIO線に接続され、

上記第1及び第2の領域に具備される増幅回路に含まれる上記第3及び第4のMOSトランジスタのゲートは、上記列選択線に共通に接続され、

20 上記第1のMOSトランジスタのドレインは、上記第3のMOSトランジスタのソースと接続され、

上記第2のMOSトランジスタのドレインは、上記第4のMOSトランジスタのソースと接続され、

25 第1の状態において、上記第1の領域に含まれる第1及び第2のIO線の電位は、上記第1の領域に含まれるソース線の電位よりも高く、上記第2の領域に含まれる第1及び第2のIO線とソース線は同電位である半導体記憶装置。

2. 第1方向に延伸されるワード線と、上記第1方向と交差する第2方向に延伸される第1および第2のビット線と、上記ワード線と上記第1および第2のビット線とに接続されるメモリセルと、上記メモリセルから読み出される情報を増幅する増幅回路と、上記増幅回路より読み出された情報を受ける第1及び第2のIO線と、上記増幅回路を制御するソース線とをそれぞれ有する第1及び第2の領域と、

30 上記第1及び第2の領域に共通して接続され、上記第2方向に延伸される列選択線とを具備する半導体記憶装置において、

上記増幅回路は、第1乃至第4のMOSトランジスタを具備し、

35 上記第1のMOSトランジスタのゲートは、上記第1のビット線と接続され、上記第2のMOSトランジスタのゲートは、上記第2のビット線に接続され、上記第1及び第2のMOSトランジスタのソースは、上記ソース線に接続され、

上記第3のMOSトランジスタのドレインは、上記第1のIO線に接続され、

上記第4のMOSトランジスタのドレインは、上記第2のIO線に接続され、

上記第1及び第2の領域に具備される增幅回路に含まれる上記第3及び第4のMOSトランジスタのゲートは、上記列選択線に共通に接続され、

上記第1のMOSトランジスタのドレインは、上記第3のMOSトランジスタのソースと接続され、

上記第2のMOSトランジスタのドレインは、上記第4のMOSトランジスタのソースと接続され、

第1の状態において、上記第1の領域に含まれる第1及び第2のIO線の電位は、上記第1の領域に含まれるソース線の電位よりも高く、

上記第2の領域に含まれる第1及び第2のIO線の電位と上記ソース線の電位は、上記第1及び第2のビット線の電位より上記第1及び第2のMOSトランジスタのしきい値電圧を引いた値の絶対値である半導体記憶装置。

3. 上記第1状態において、上記第1の領域に含まれるメモリセルより情報が読み出される請求項1または請求項2記載の半導体記憶装置。

4. 上記第1の領域は、上記增幅回路を複数と、上記ソース線を駆動するソース線ドライバとを具備し、

上記第1の領域に含まれる上記複数の増幅回路は、上記ソース線に共通に接続され、

上記ソース線ドライバは、上記複数の増幅回路を具備するセンスアンプ列と、

20 上記ワード線を駆動するワードドライバを複数具備するワードドライバ列とに囲まれた領域に配される請求項1または請求項2記載の半導体記憶装置。

5. 上記複数の増幅回路は、上記第1及び第2のIO線に共通に接続され、

上記第1及び第2のIO線には、上記複数の増幅回路のオフセットを補償する第2の増幅回路が接続される請求項1乃至請求項4記載の半導体記憶装置。

25 6. 上記増幅回路は、第5のMOSトランジスタをさらに具備し、

上記第5のMOSトランジスタのソースは、上記第2のMOSトランジスタのドレインと接続され、上記第5のMOSトランジスタのドレインは、上記第1のMOSトランジスタのドレインと接続され、上記第5のMOSトランジスタのゲートは、プリチャージ信号に制御される請求項1または請求項2記載の半導体記憶装置。

30 7. 上記第1の領域は、上記メモリセルに情報を書き込む書き込み回路と、上記書き込み回路を選択する書き込み列選択線と、上記書き込み回路を制御する書き込み制御信号線と、上記書き込み回路に接続される書き込みIO線対とをさらに具備し、

35 上記書き込み回路は、第6乃至第9のMOSトランジスタをさらに具備し、

上記第6及び第7のMOSトランジスタのゲートは、上記書き込み列選択線に接続され、上記第6のMOSトランジスタのドレインは、上記書き込みIO線対の一方に接続され、上記第7のMOSトランジスタのドレインは、上記書き込み

IO 線対の他方に接続され、

上記第 8 及び第 9 の MOS トランジスタのゲートは、上記書き込み制御信号線と接続され、上記第 8 MOS トランジスタのソースは、上記第 1 のビット線と接続され、上記第 9 の MOS トランジスタのソースは、上記第 2 のビット線と接続

5 され、

上記第 6 の MOS トランジスタのソースは、上記第 8 の MOS トランジスタのドレインと接続され、上記第 7 の MOS トランジスタのソースは、上記第 9 の MOS トランジスタのドレインと接続される請求項 1 または請求項 2 記載の半導体記憶装置。

10 8. 上記書き込み列選択線は、上記列選択線と接続される請求項 7 記載の半導体記憶装置。

9. 上記書き込み回路は、第 10 の MOS トランジスタをさらに具備し、

上記第 10 の MOS トランジスタのソースは、上記第 6 の MOS トランジスタのソースと接続され、上記第 10 の MOS トランジスタのドレインは、上記第 7

15 の MOS トランジスタのソースと接続され、上記第 10 の MOS トランジスタのゲートは、プリチャージ信号に制御される請求項 7 または請求項 8 記載の半導体記憶装置。

10. 第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸される複数のビット線対と、上記ワード線と上記複数のビット線対に接続される複数のメモリセルと、上記メモリセルから読み出される情報を增幅する增幅回路と、上記增幅回路より読み出された情報を受ける第 1 及び第 2 の IO 線と、上記增幅回路を制御するソース線と、上記增幅回路に入力される信号を選択する選択手段とをそれぞれ有する第 1 及び第 2 の領域と、

上記第 1 及び第 2 の領域に共通して接続され、上記第 2 方向に延伸される列選

25 択線とを具備する半導体記憶装置において、

上記增幅回路は、第 1 乃至第 4 の MOS トランジスタを具備し、

上記第 1 及び第 2 の MOS トランジスタのゲートは、上記選択手段の入力を受け、上記第 1 及び第 2 の MOS トランジスタのソースは、上記ソース線に接続され、

30 上記第 3 の MOS トランジスタのドレインは、上記第 1 の IO 線に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 2 の IO 線に接続され、

上記增幅回路にそれぞれ含まれる上記第 3 及び第 4 の MOS トランジスタのゲートは、上記列選択線に共通に接続され、

上記第 1 の MOS トランジスタのドレインは、上記第 3 の MOS トランジスタのソースと接続され、

35 上記第 2 の MOS トランジスタのドレインは、上記第 4 の MOS トランジスタのソースと接続され、

上記選択手段は、上記複数のビット線対の信号を入力される半導体記憶装置。

1 1. 上記半導体記憶装置は、第 1 の状態において、上記第 1 の領域に含まれる第 1 及び第 2 の IO 線の電位は、上記第 1 の領域に含まれる上記ソース線の電位よりも高く、

上記第 2 の領域に含まれる第 1 及び第 2 の IO 線とソース線の電位は、上記第 5 2 の領域に含まれる複数のビット線対の電位から上記第 3 及び第 4 の MOS トランジスタの閾値電圧を引いた値の絶対値以上である請求項 10 記載の半導体記憶装置。

1 2. 上記メモリセルは、2 個のトランジスタと 2 個のキャパシタとを具備し、

上記選択手段は、マルチプレクサである請求項 10 または請求項 11 記載の半 10 導体記憶装置。

1 3. 第 1 方向に延伸されるワード線と、上記第 1 方向と交差する第 2 方向に延伸され第 1 及び第 2 のビット線を含む複数のビット線と、上記ワード線と上記複数のビット線に接続される複数のメモリセルと、上記メモリセルより読み出される情報を增幅する增幅回路と上記メモリセルに情報を書き込む書き込み回路とをそれぞれ具備する第 1 及び第 2 の回路列と、上記回路列と接続され上記第 1 方向に延伸される第 1 及び第 2 の I O 線対と、上記增幅回路に接続されるソース線とをそれぞれ具備する第 1 及び第 2 の領域と、

上記第 1 及び第 2 の領域に共通して接続される第 1 及び第 2 の読み出し列選択線と第 1 及び第 2 の書き込み列選択線とを具備する半導体記憶装置において、

上記第 1 及び第 2 の読み出し列選択線と第 1 及び第 2 の書き込み列選択線は上記第 2 方向に延伸され、

上記第 1 及び第 2 の回路列に具備される増幅回路の各々は、第 1 乃至第 4 の MOS トランジスタを具備し、

上記第 1 の MOS トランジスタのゲートは、上記第 1 のビット線に接続され、

上記第 2 の MOS トランジスタのゲートは、上記第 2 のビット線に接続され、上記第 1 及び第 2 の MOS トランジスタのソースは、上記ソース線に接続され、

上記第 1 の MOS トランジスタのドレインは、上記第 3 の MOS トランジスタのソースと接続され、

上記第 2 の MOS トランジスタのドレインは、上記第 4 の MOS トランジスタのソースと接続され、

上記第 1 の回路列に含まれる増幅回路の第 3 の MOS トランジスタのドレインは、上記第 2 の回路列に含まれる書き込み列選択線と接続される第 1 の I O 線対の一方に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 2 の回路列に含まれる書き込み回路と接続される第 1 の I O 線対の他方に接続され、

上記第 2 の回路列に含まれる増幅回路の第 3 の MOS トランジスタのドレインは、上記第 1 の回路列に含まれる書き込み回路に接続される第 2 の I O 線対の一方に接続され、上記第 4 の MOS トランジスタのドレインは、上記第 1 の

回路列に含まれる書き込み回路と接続される第2のI/O線対の他方に接続され、

上記第1の回路列に含まれる書き込み回路は、上記第1の書き込み列選択線と接続され、

上記第2の回路列に含まれる書き込み回路は、上記第2の書き込み列選択線と

接続され、

上記第1の領域に含まれる上記第1の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートと、上記第2の領域に含まれる上記第1の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートとは、上記第1の読み出し列選択線に共通に接続され、

上記第1の領域に含まれる上記第2の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートと、上記第2の領域に含まれる上記第2の回路列の増幅回路の第3及び第4のMOSトランジスタのゲートとは、上記第2の読み出し列選択線に共通に接続され、

第1の状態において、上記第1及び第2の読み出し列選択線が活性化され、

上記第1の領域に含まれる第1及び第2のI/O線対の電位は、上記第1の領域に含まれるソース線の電位よりも高く、

上記第2の領域に含まれる第1及び第2のI/O線対とソース線は同電位である、もしくは、上記第2の領域に含まれる第1及び第2のIO線の電位と上記ソース線の電位は、上記第1及び第2のビット線の電位より上記第1及び第2の

MOSトランジスタのしきい値電圧を引いた値の絶対値である半導体記憶装置。

14. 第1及び第2のNチャネルMOSトランジスタと第1及び第2のPチャネルMOSトランジスタとを具備する第1の増幅回路と、メモリセルより読み出された情報を電源電圧振幅まで増幅する第2の増幅回路とを具備する半導体記憶装置において、

上記第1のNチャネルMOSトランジスタのゲートと、上記第2のNチャネルMOSトランジスタのゲートとは、第1の電源電位に接続され、上記第1のNチャネルMOSトランジスタのソースは、第1の入力端子に接続され、上記第2のNチャネルMOSトランジスタのソースは、第2の入力端子に接続され、

上記第1のPチャネルMOSトランジスタのゲートと、上記第2のPチャネルMOSトランジスタのゲートとは、接地電位に接続され、上記第1のPチャネルMOSトランジスタのソースと、上記第2のPチャネルMOSトランジスタのソースとは、上記第1の電源電位に接続され、

上記第1のNチャネルMOSトランジスタのドレインは、上記第1のPチャネルMOSトランジスタのドレインと接続され、上記第2のNチャネルMOSトランジスタのドレインは、上記第2のNチャネルMOSトランジスタのドレインと接続され、

35 上記第1のNチャネルMOSトランジスタのドレインは、上記第2のNチャネルMOSトランジスタのドレインと接続され、

上記第1及び第2のNチャネルMOSトランジスタは、上記第1及び第2のPチャネルMOSトランジスタよりも先に上記メモリセルより読み出された情報の入力を受ける半導体記憶装置。

15. 上記半導体記憶装置は、第3乃至第6のNチャネルMOSトランジスタを具備する第1の回路をさらに有し、

上記第3のNチャネルMOSトランジスタのゲートは、上記第1のPチャネルMOSトランジスタのドレンと接続され、上記第4のNチャネルMOSトランジスタのゲートは、上記第2のPチャネルMOSトランジスタのドレンと接続され、

10 上記第3のNチャネルMOSトランジスタのソースと、上記第4のNチャネルMOSトランジスタのソースとは、上記第2の增幅回路に接続され、

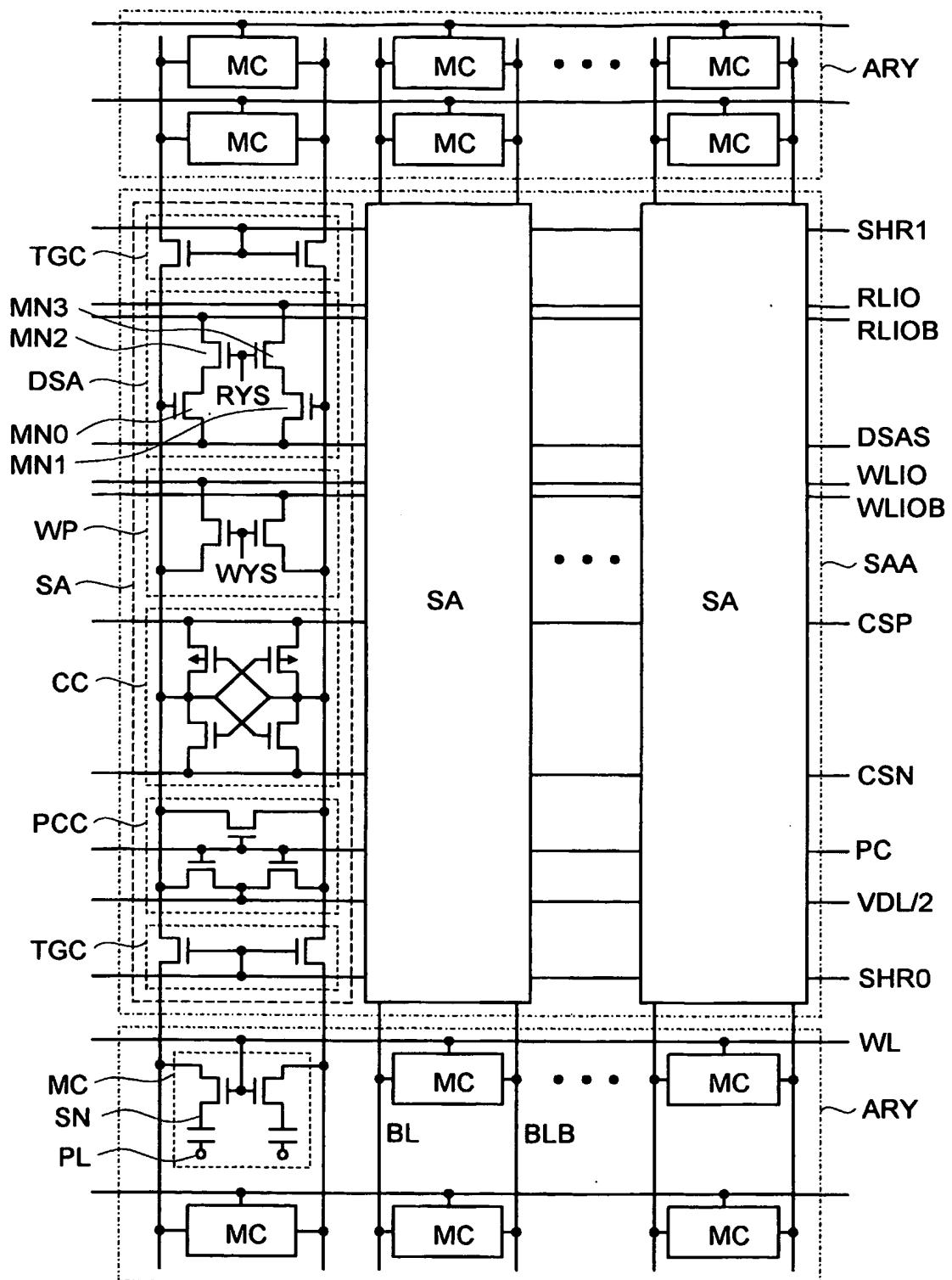
上記第3のNチャネルMOSトランジスタのドレンと、上記第4のNチャネルMOSトランジスタのドレンとは、上記第1の電源電位に接続され、

15 上記第5のNチャネルMOSトランジスタのゲートと、上記第6のNチャネルMOSトランジスタのゲートとは、第2の電源電位に接続され、

上記第5のMOSトランジスタと、上記第6のMOSトランジスタのドレンとは、上記第2の增幅回路に接続され、

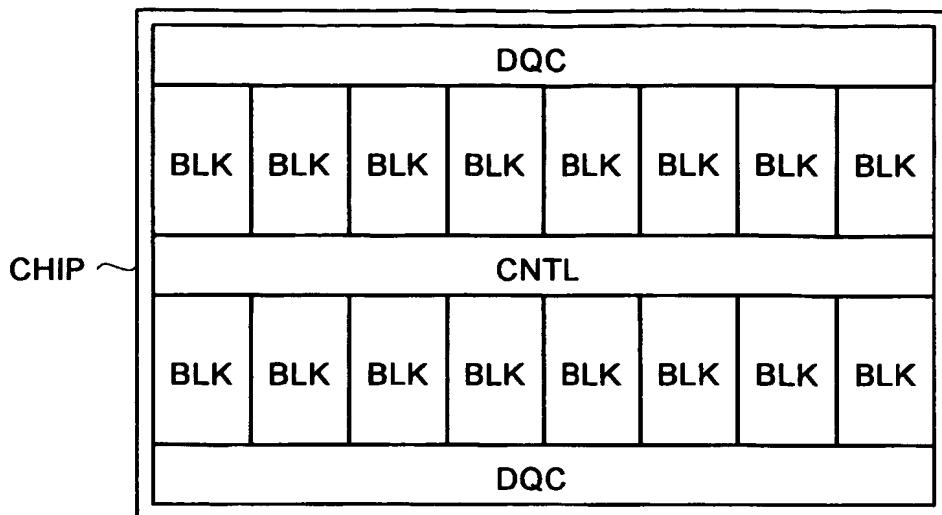
上記第5のMOSトランジスタのソースと、上記第6のMOSトランジスタのソースとは、接地電位に接続される請求項14記載の半導体記憶装置。

1

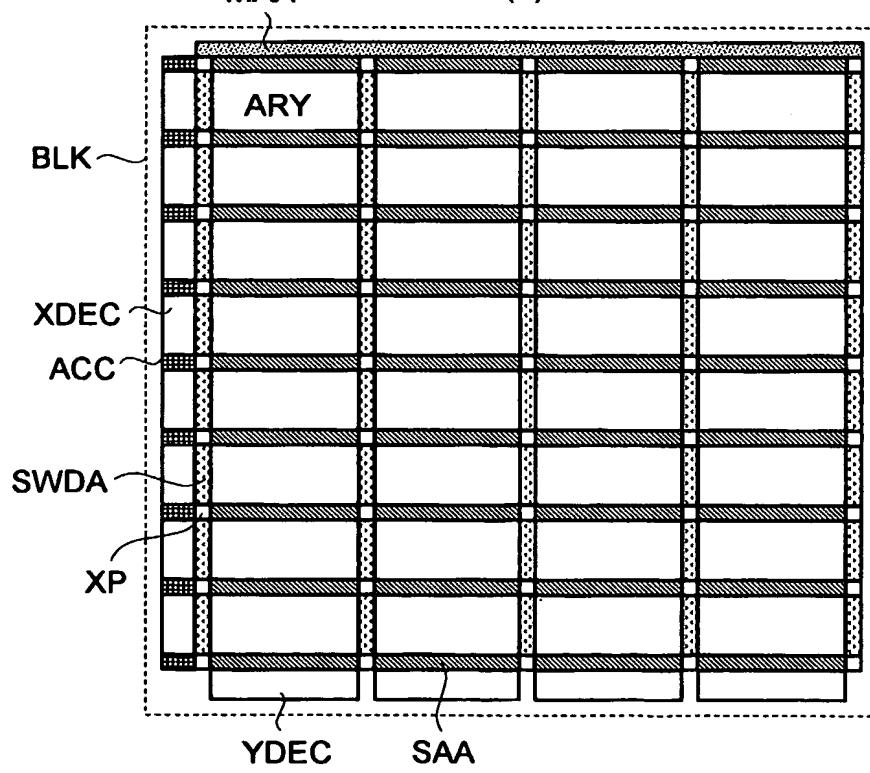


☒ 2

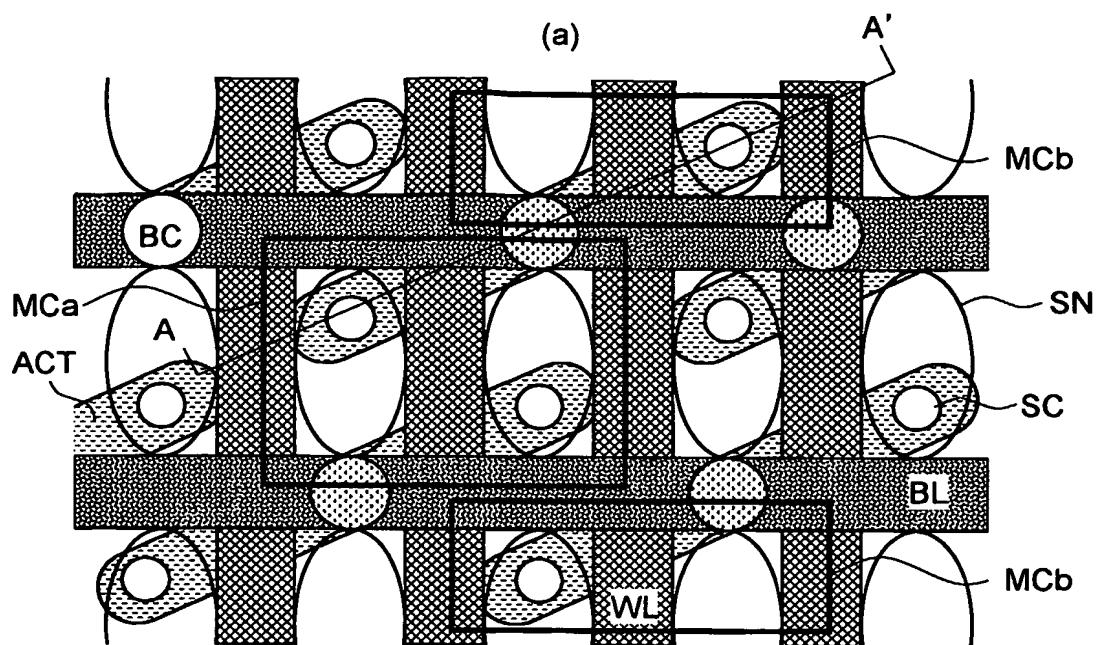
(a)



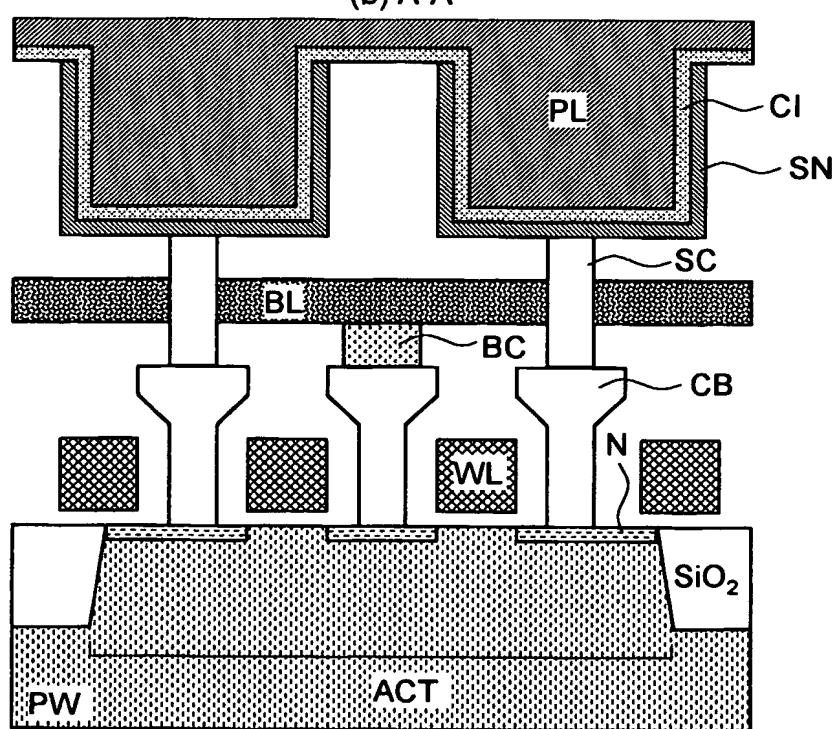
(b)



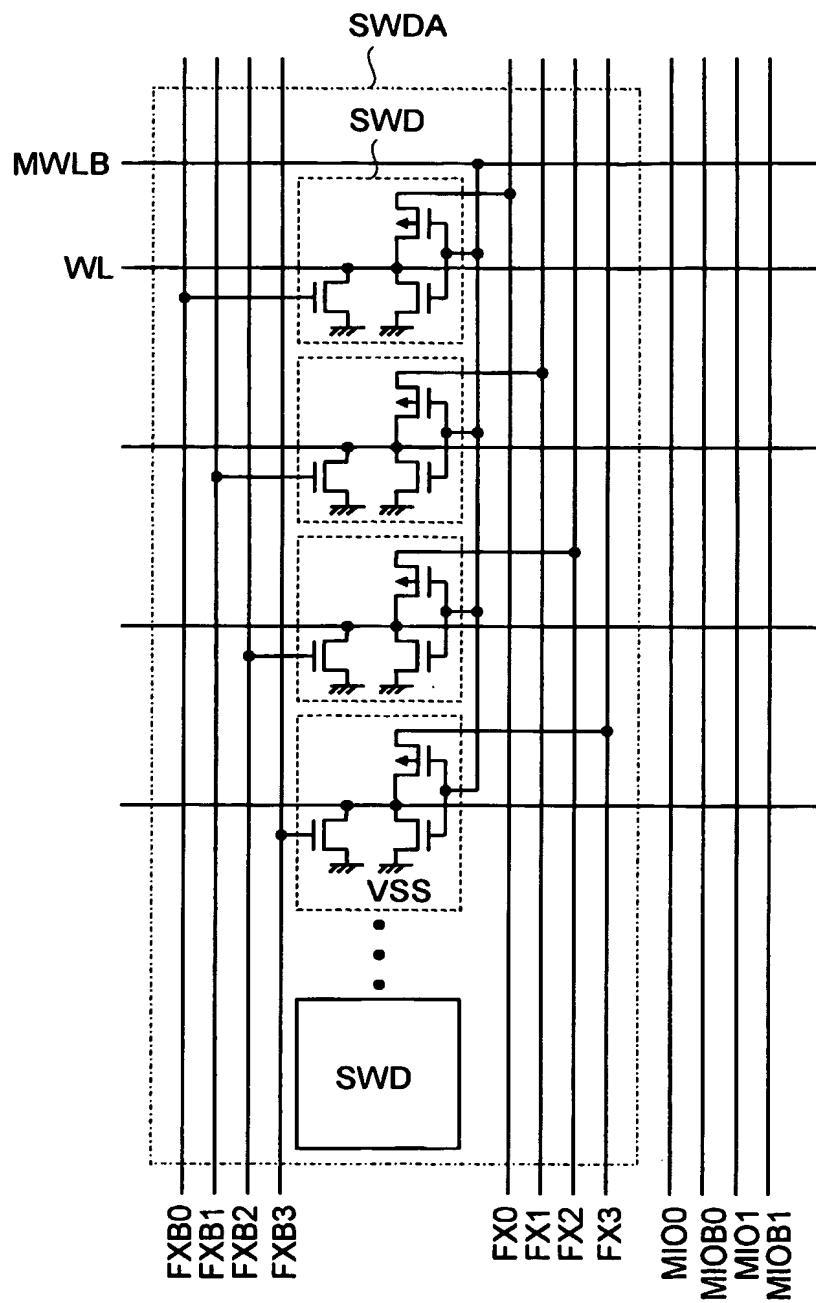
☒ 3



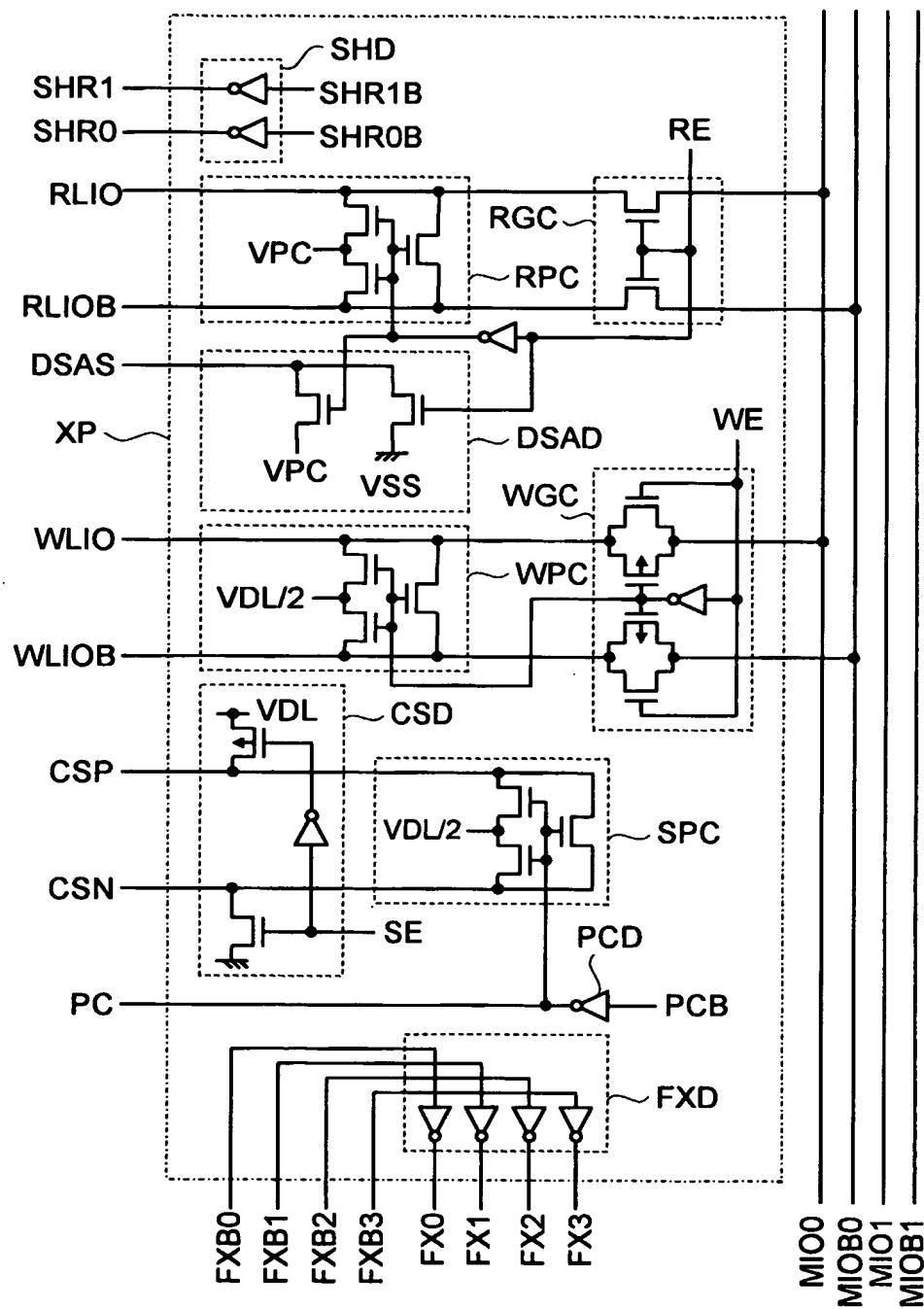
(b) A-A'



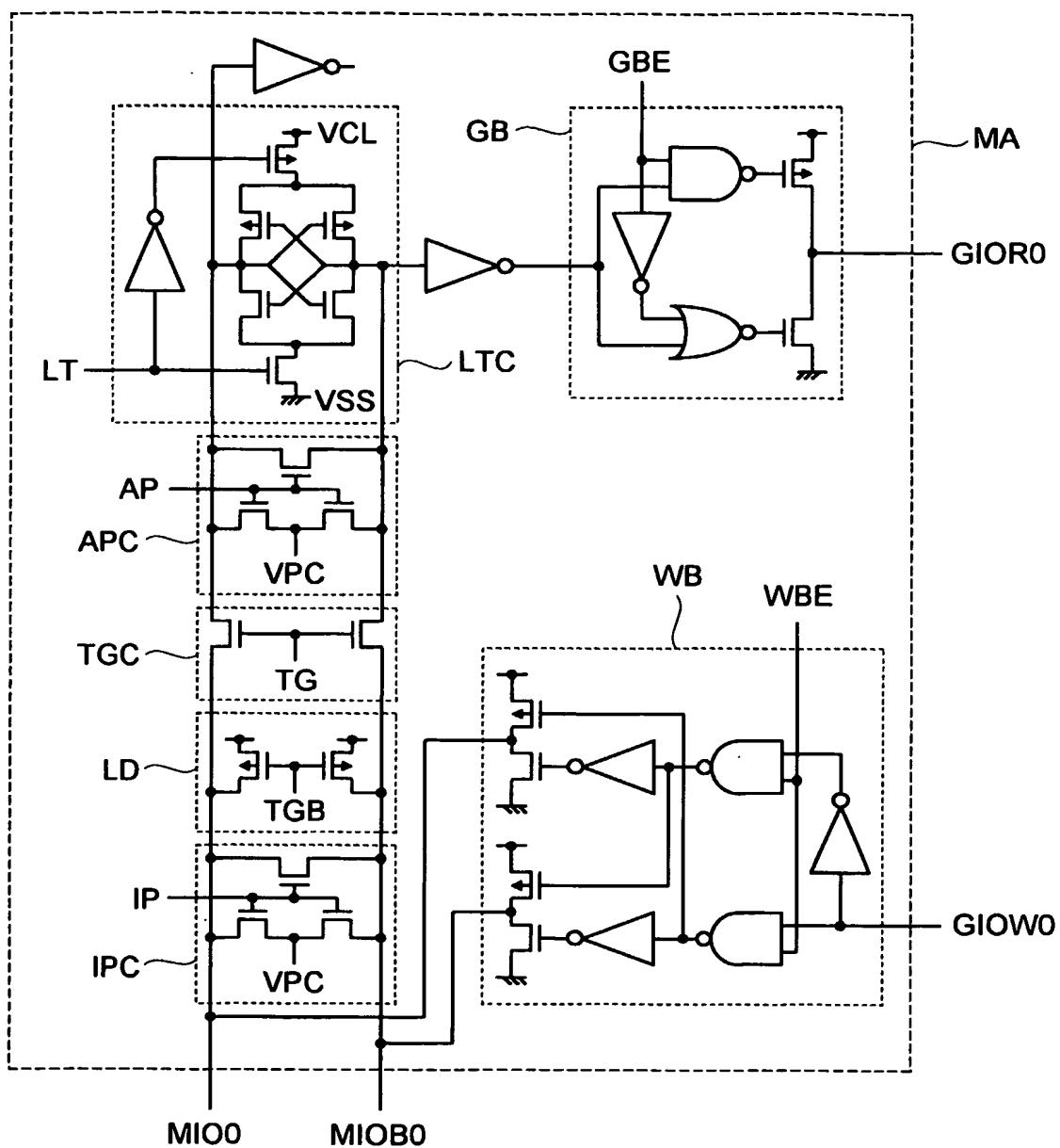
☒ 4



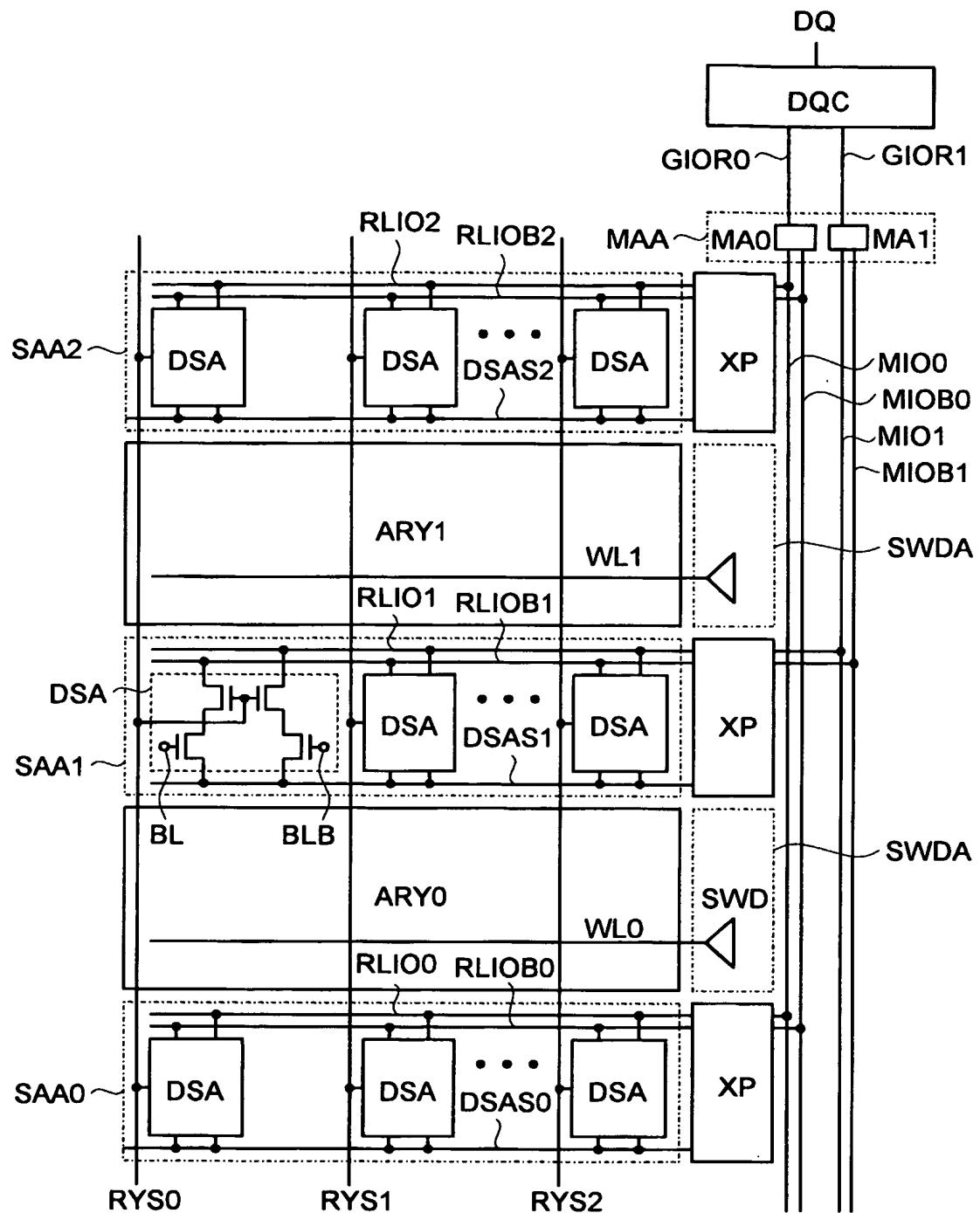
☒ 5



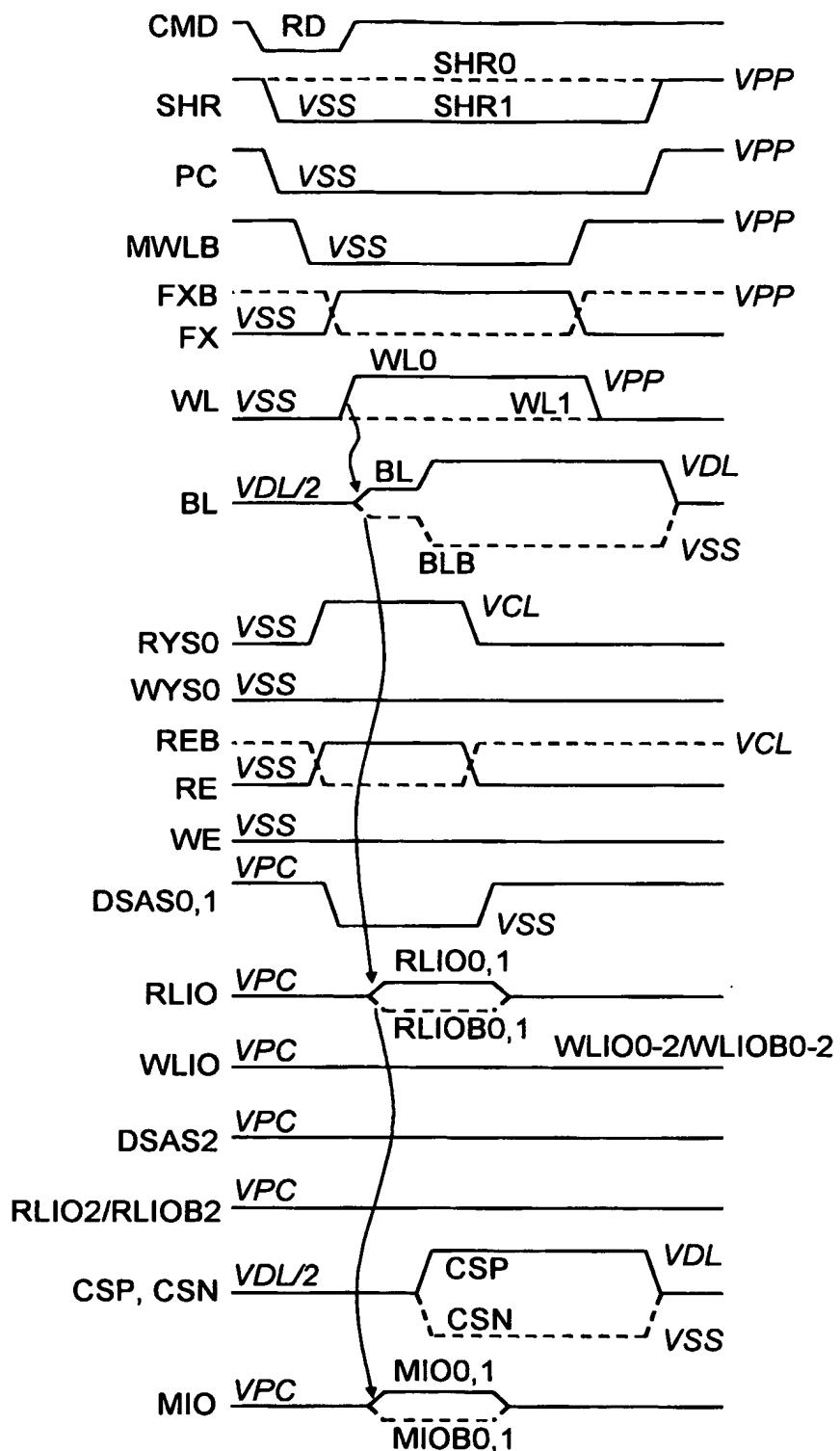
☒ 6



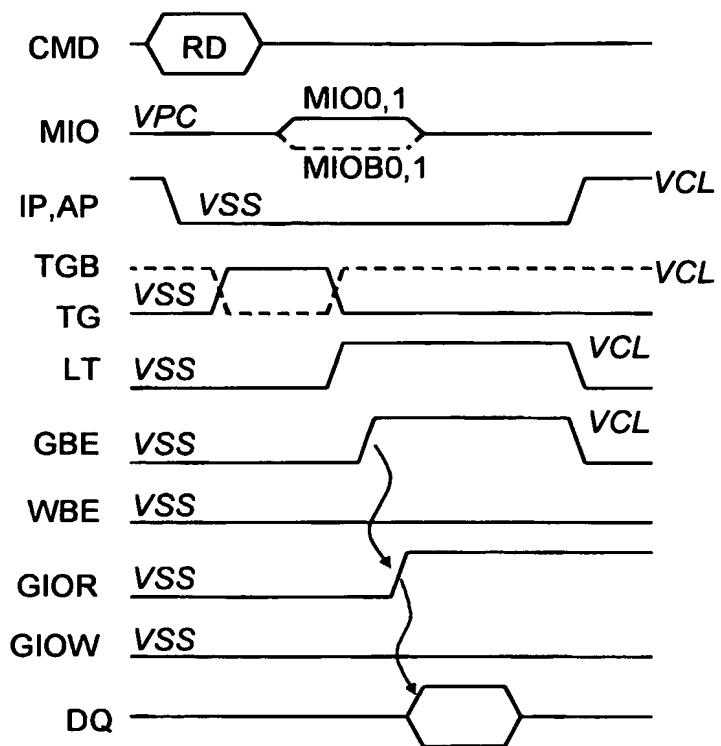
7



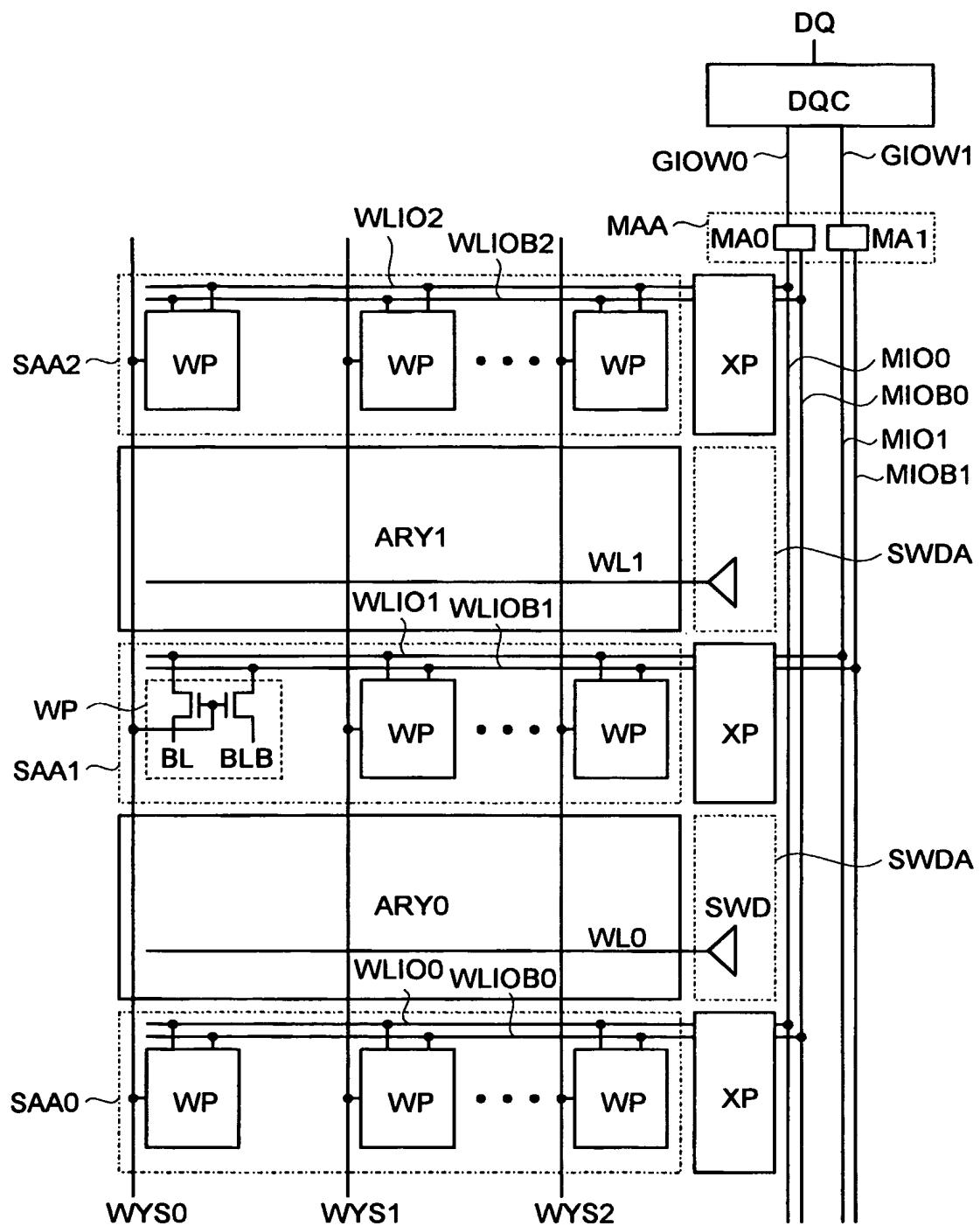
☒ 8



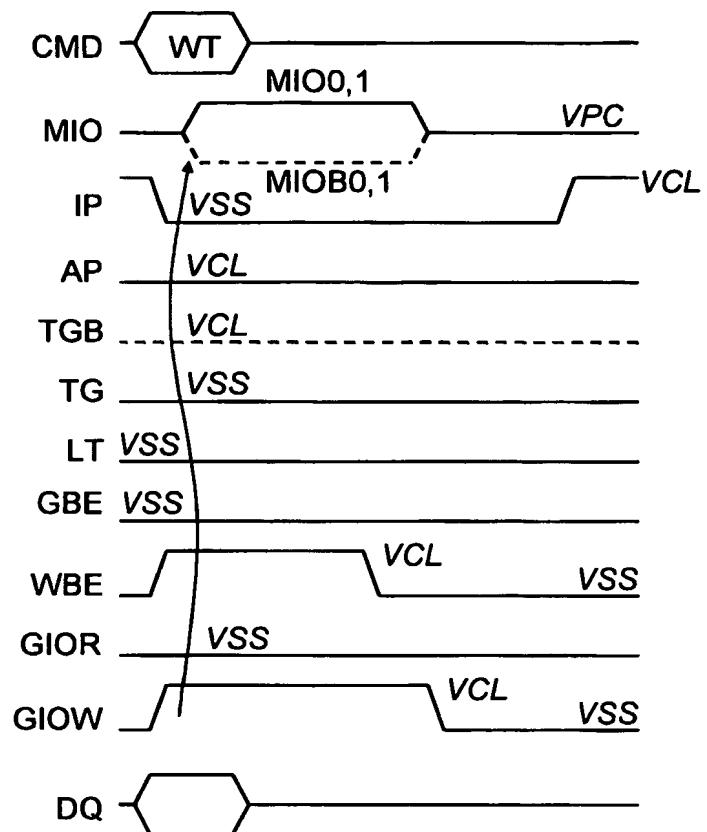
☒ 9



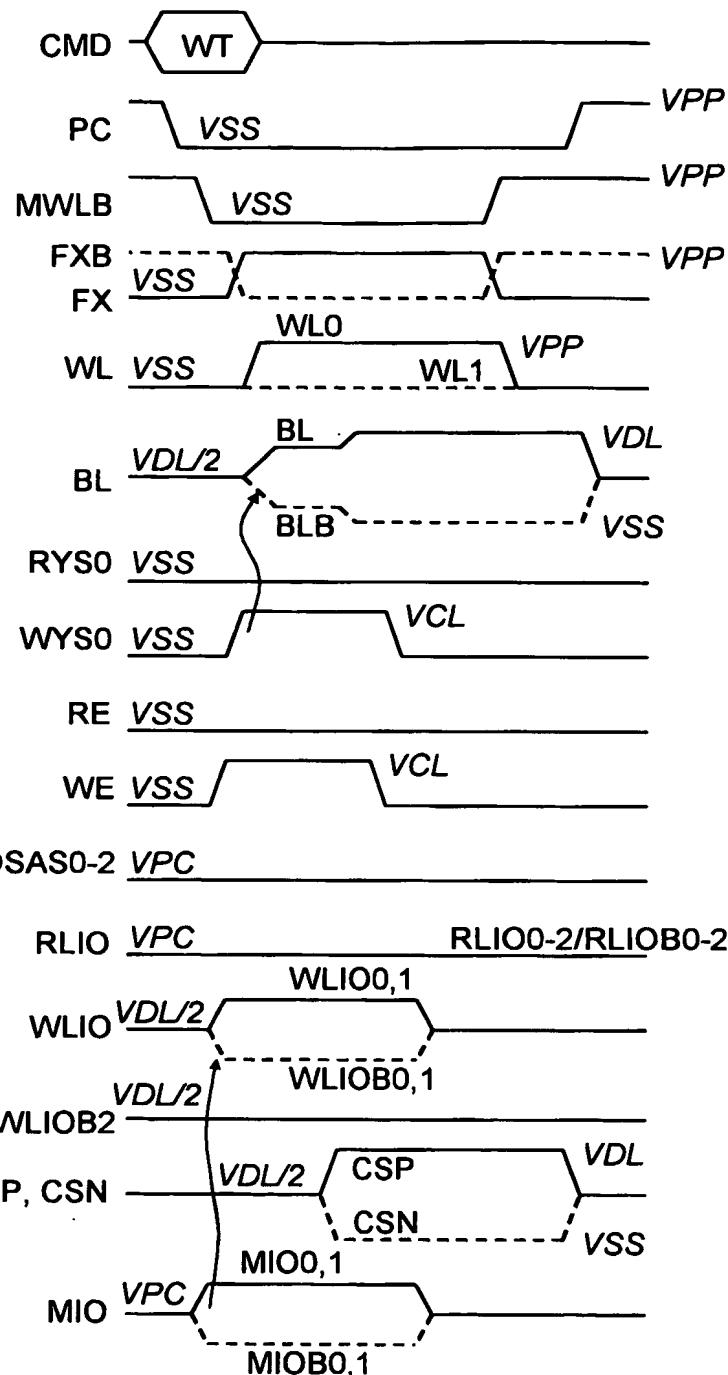
☒ 10



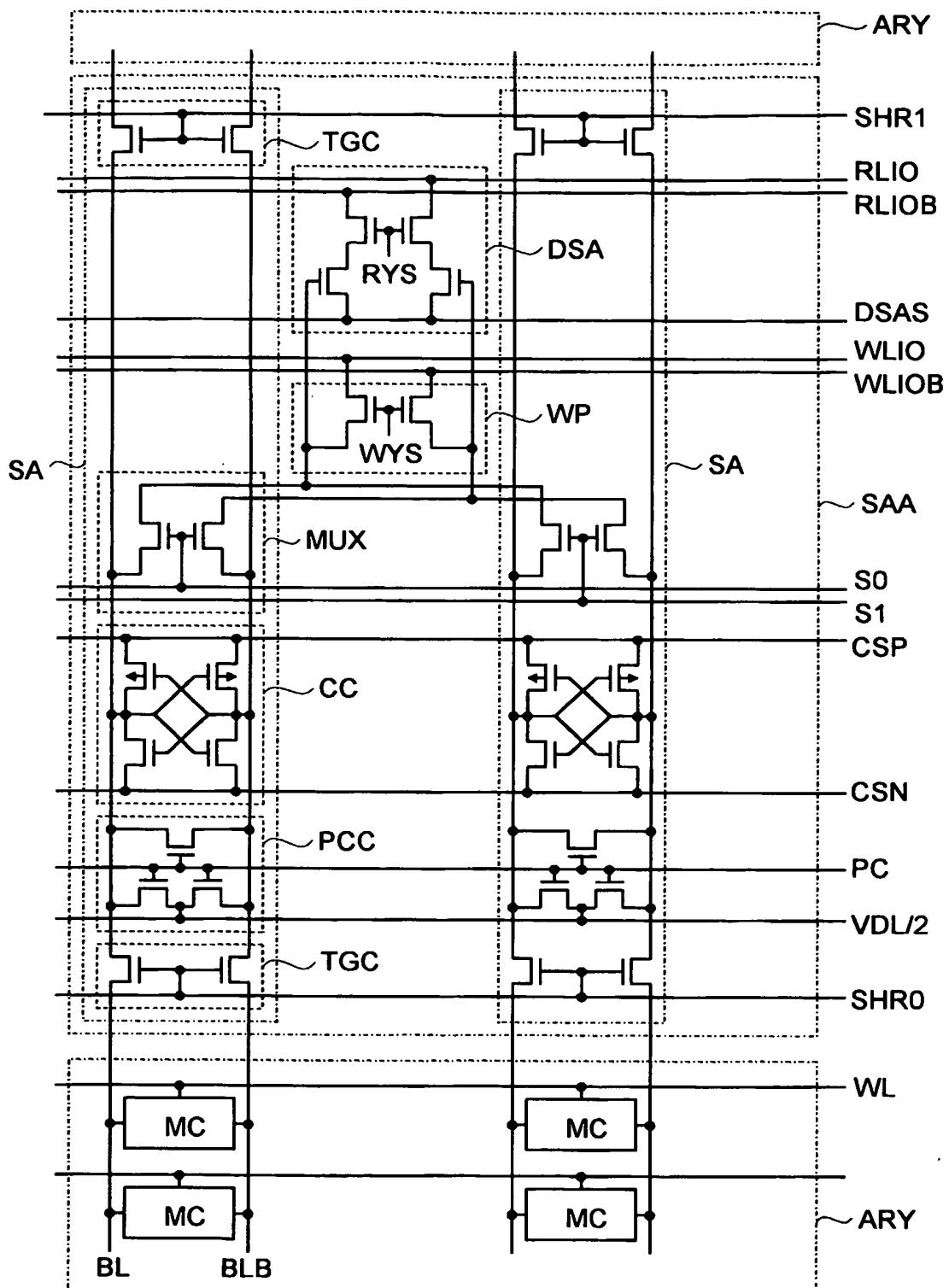
☒ 11



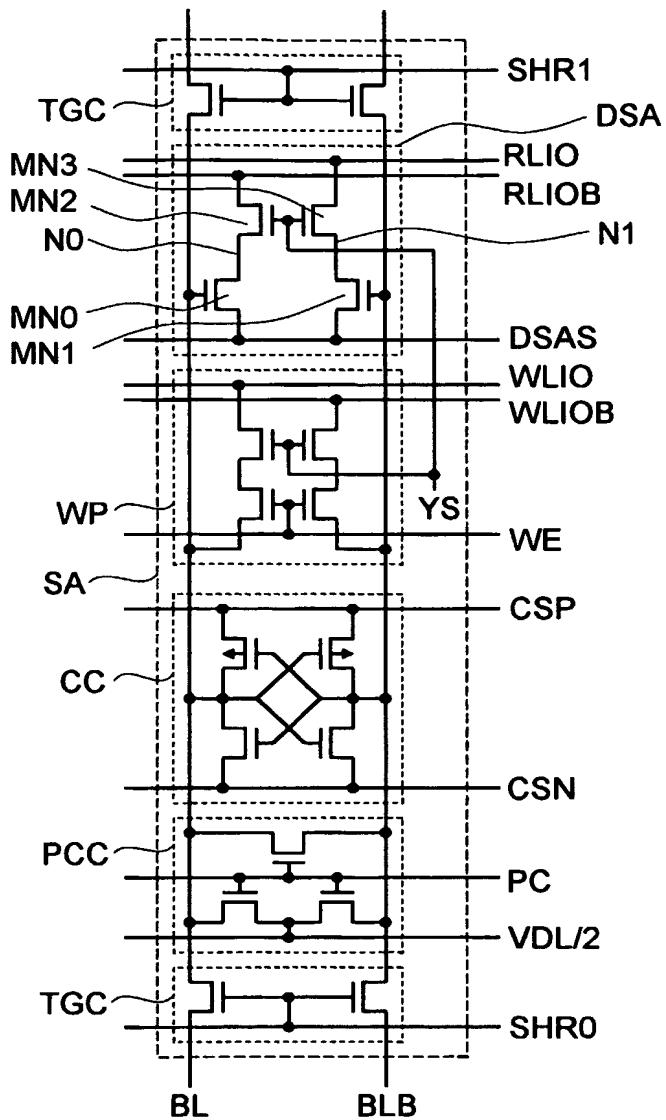
☒ 12



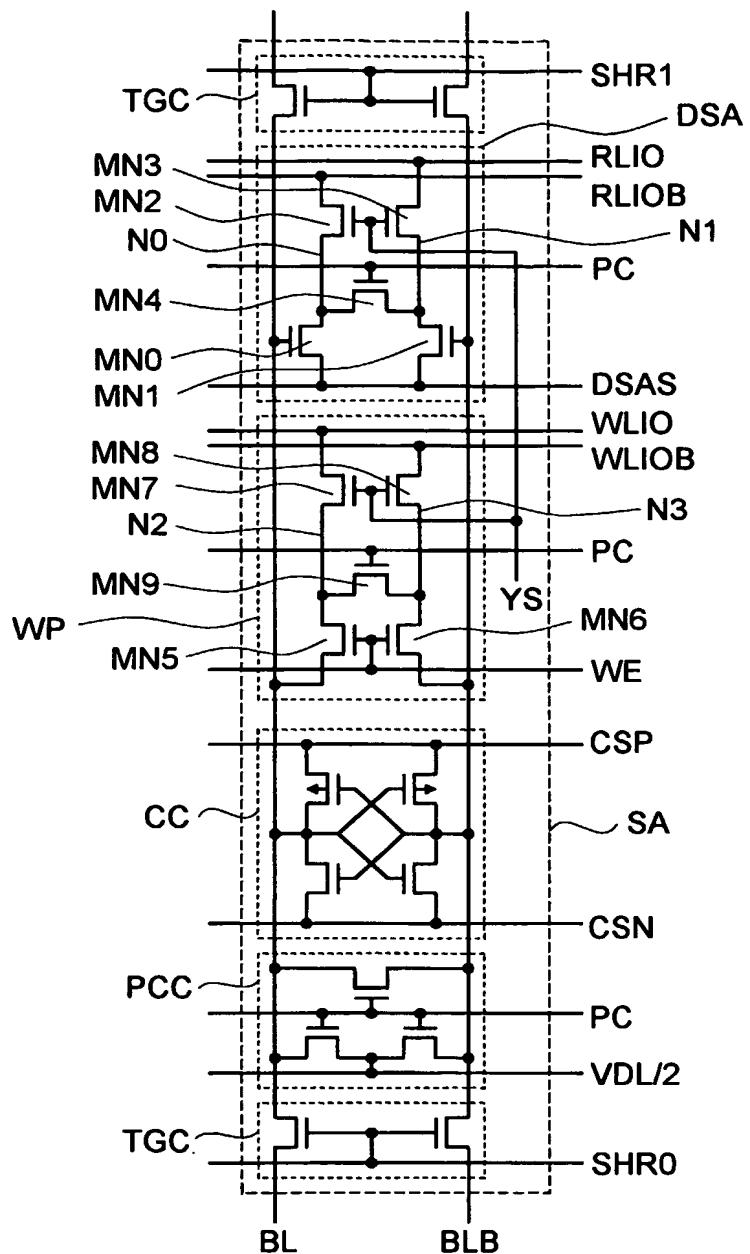
☒ 13



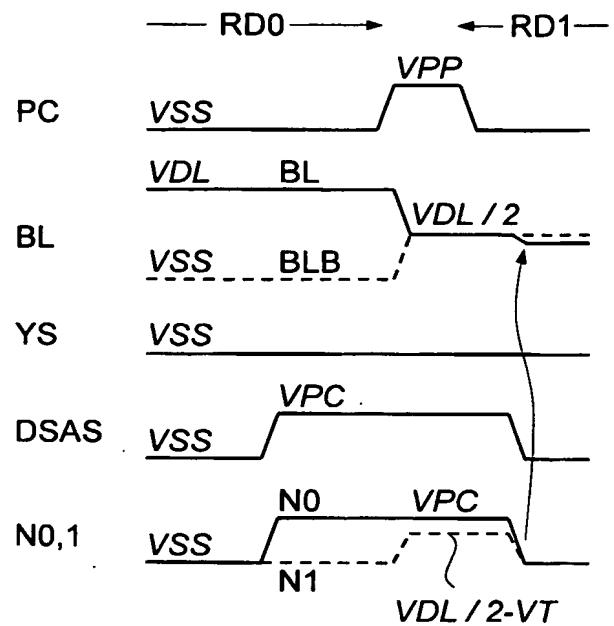
☒ 14



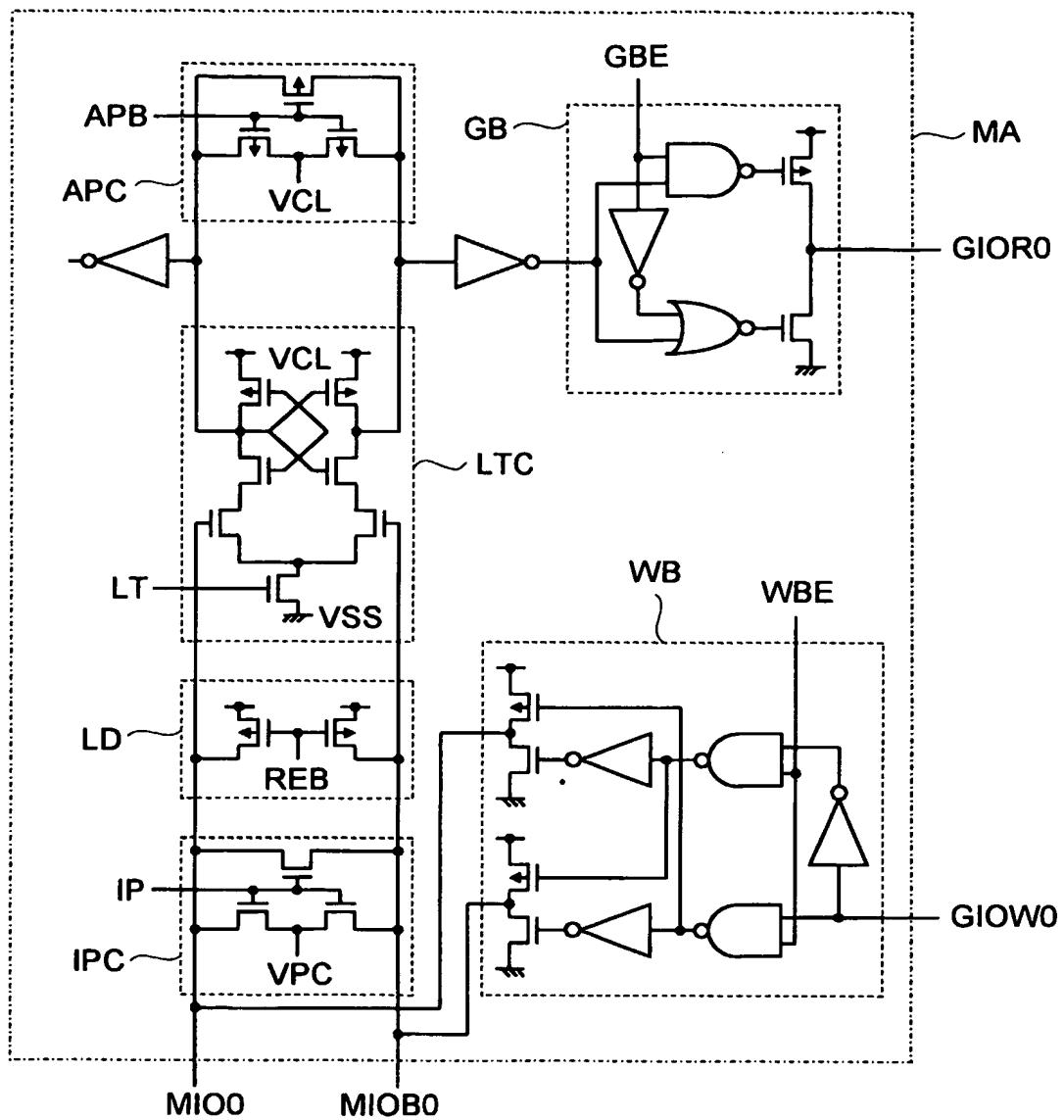
☒ 15



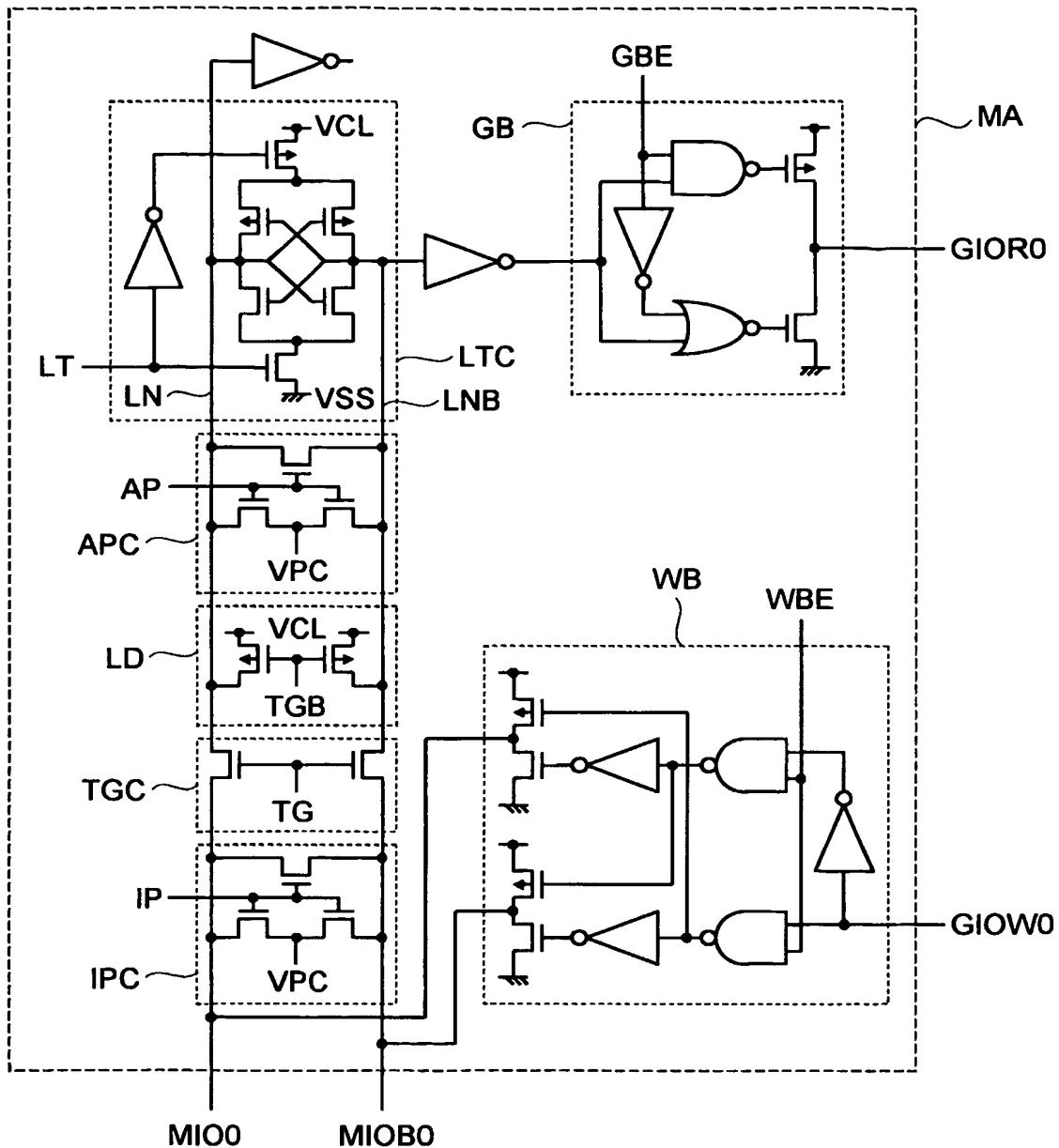
☒ 16



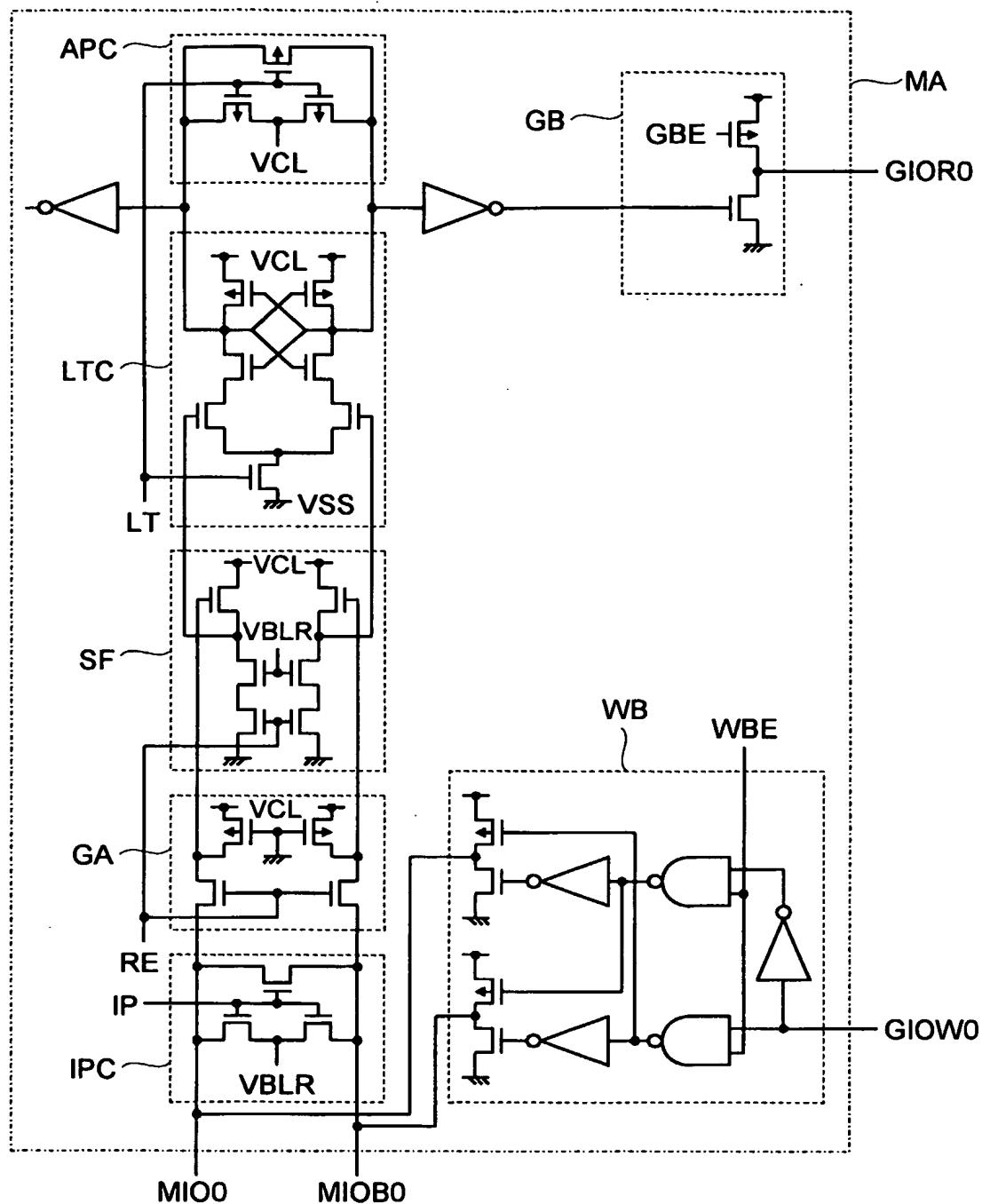
☒ 17



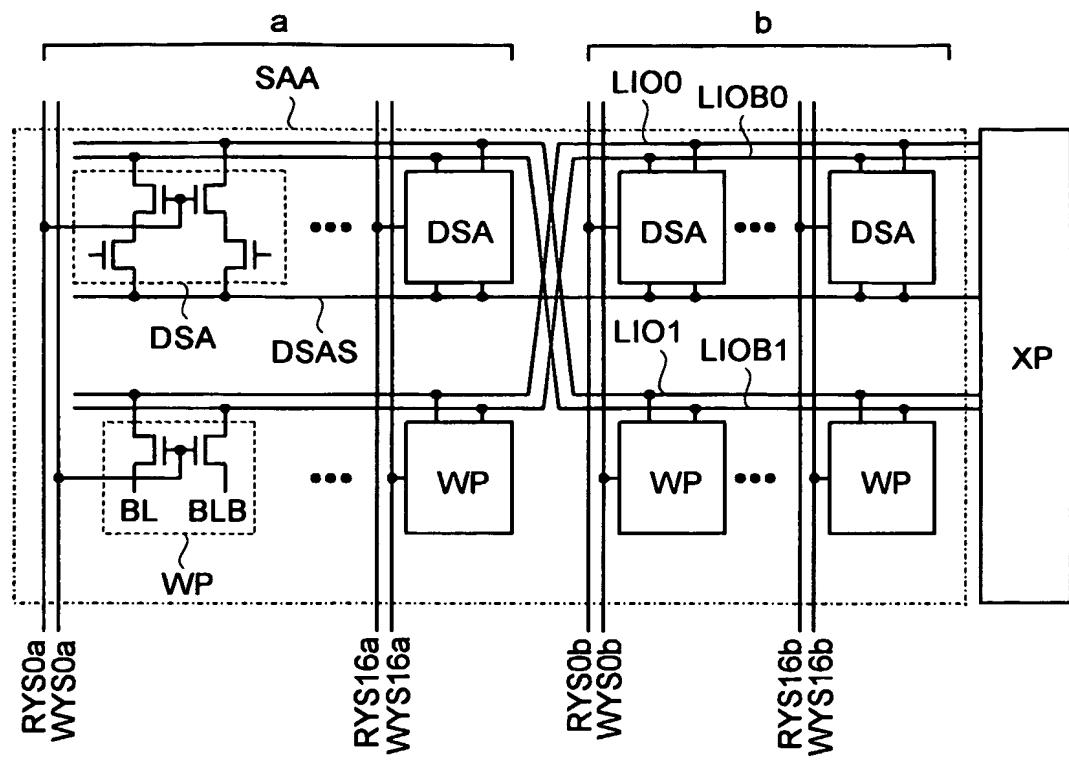
☒ 18



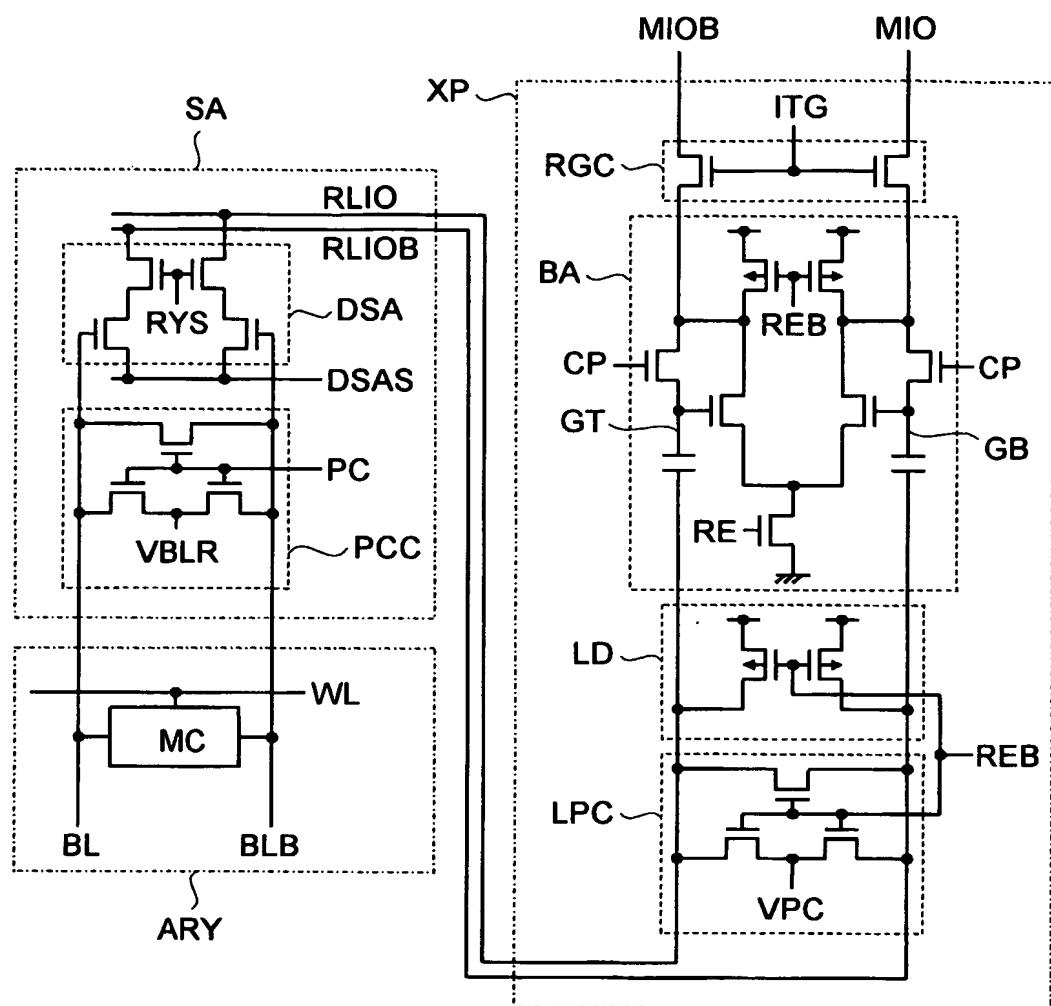
19



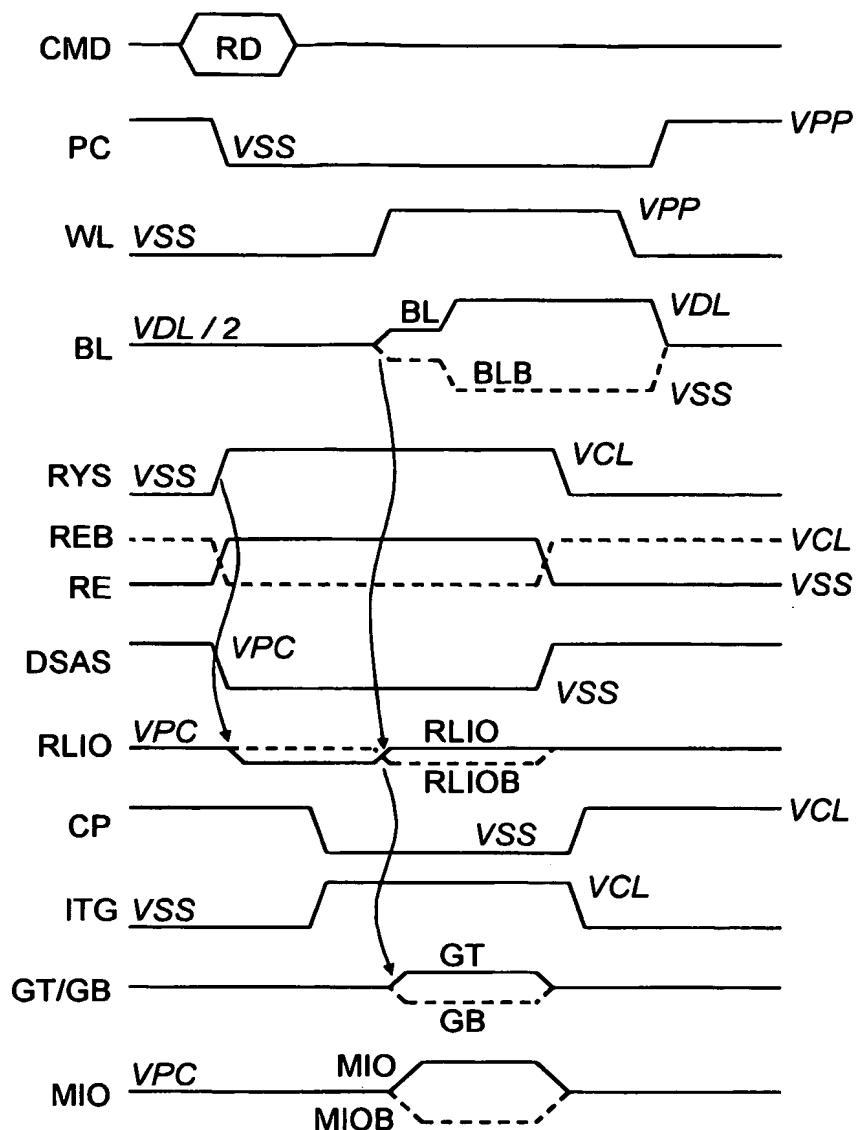
☒ 20



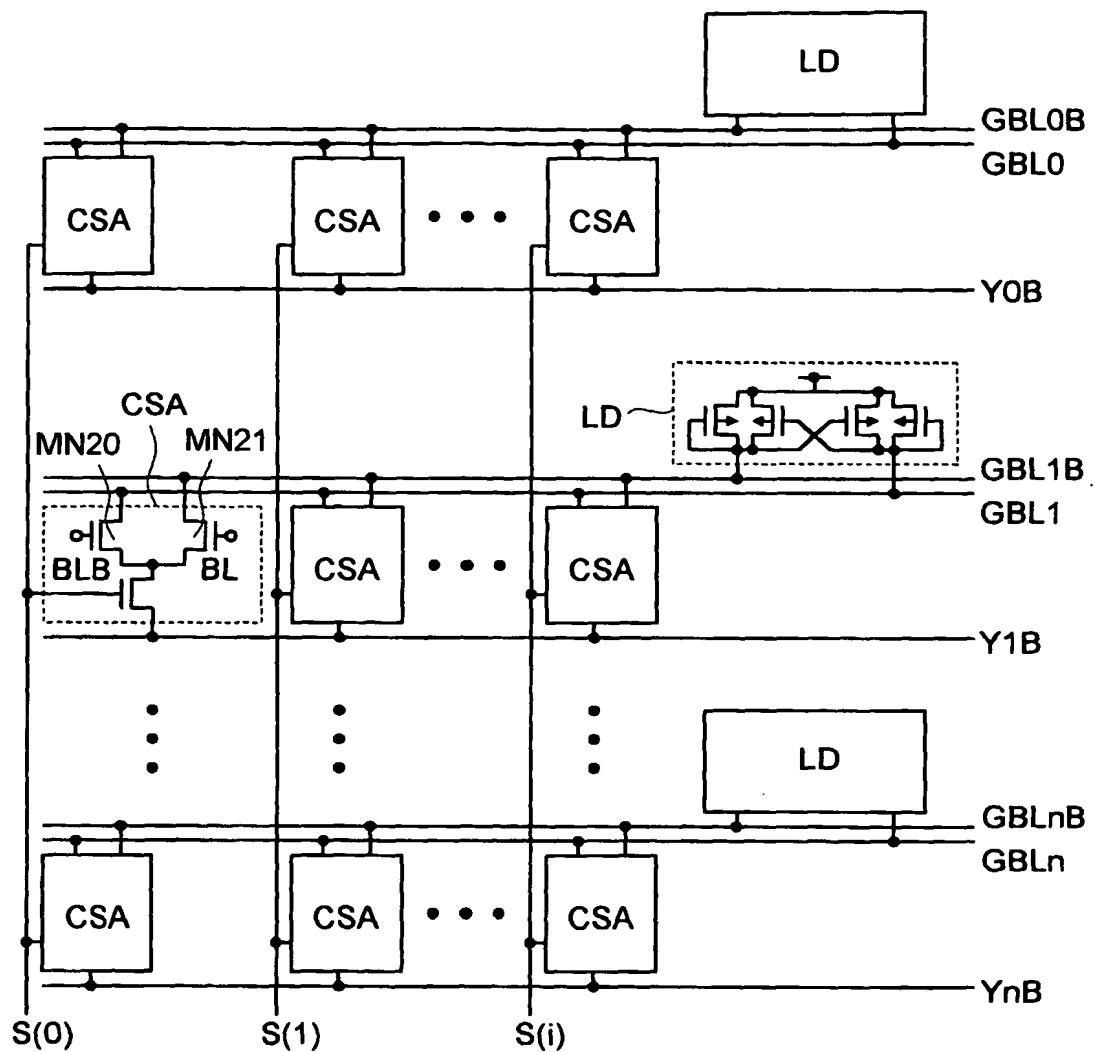
☒ 21



22



23



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/11659

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl' H01L27/108, H01L21/8242, G11C11/407, G11C11/409

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl' H01L27/108, H01L21/8242, G11C11/407, G11C11/409

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1926-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-86549 A (Hitachi, Ltd.), 30 March, 1999 (30.03.99), (Family: none)	1-15
A	JP 5-54653 A (Hitachi, Ltd., Hitachi Device Engineering Co., Ltd.), 05 March, 1993 (05.03.93), (Family: none)	1-15
A	US 6046924 A1 (Kabushiki Kaisha Toshiba), 04 April, 2000 (04.04.00), & JP 2000-77628 A	1-15

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
07 February, 2003 (07.02.03)Date of mailing of the international search report
25 February, 2003 (25.02.03)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. C1' H01L27/108 H01L21/8242 G11C11/407 G11C11/409

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))
Int. C1' H01L27/108 H01L21/8242 G11C11/407 G11C11/409

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1926-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 11-86549 A (株式会社日立製作所) 1999.03.30 (ファミリーなし)	1-15
A	JP 5-54653 A (株式会社日立製作所、日立デバイスエンジニアリング株式会社) 1993.03.05 (ファミリーなし)	1-15
A	US 6046924 A1 (Kabushiki Kaisha Toshiba) 2000.04.04 & JP 2000-77628 A	1-15

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

07.02.03

国際調査報告の発送日

25.02.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

正山 旭

4M 9276

正山印

電話番号 03-3581-1101 内線 3460